

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kenji TOYOSAWA Conf: Unknown
Application No.: New Application Group: Unknown
Filed: December 5, 2003 Examiner: Unknown
For: SEMICONDUCTOR DEVICE

PRIORITY LETTER

December 5, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

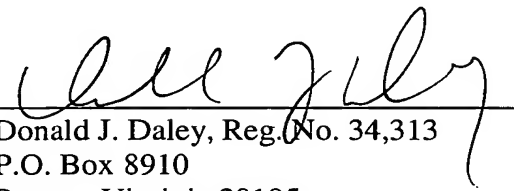
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-357089	December 9, 2002	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
Donald J. Daley, Reg. No. 34,313
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

DJDjj

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 9日
Date of Application:

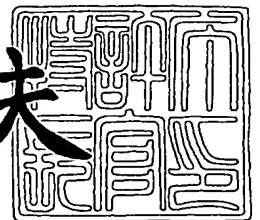
出願番号 特願2002-357089
Application Number:
[ST. 10/C]: [JP 2002-357089]

出願人 シャープ株式会社
Applicant(s):

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3096231

【書類名】 特許願

【整理番号】 02J04679

【提出日】 平成14年12月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60 311

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 豊沢 健司

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体チップ上に、該半導体チップのエッジからの距離が相対的に小さい位置に配設されたエッジ側突起電極と、上記エッジからの距離が相対的に大きい位置に配設された内部側突起電極とを備え、フィルム基板上に形成されたリード配線が、上記エッジ側突起電極及び上記内部側突起電極に接合されてなる半導体装置において、

互いに隣り合う上記エッジ側突起電極間には、上記内部側突起電極に接合される少なくとも 2 本の内部側突起電極用リード配線が設けられ、

上記内部側突起電極用リード配線のうちの少なくとも 1 本は、上記内部側突起電極との接合位置に応じて屈曲していることを特徴とする半導体装置。

【請求項 2】

上記内部側突起電極用リード配線は、上記内部側突起電極との接合位置よりも上記エッジ側突起電極間にて、ピッチが小さくなるように設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

上記エッジ側突起電極間における上記内部側突起電極用リード配線は、 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下の幅を有することを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

上記エッジ側突起電極間の距離は、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることを特徴とする請求項 1、2 又は 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

上記内部側突起電極用リード配線は、上記内部側突起電極に接合した場合に、上記エッジから、上記内部側突起電極の上記半導体チップの内部側の端部までの長さが $100\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

上記半導体チップは 4 つのエッジを有し、該エッジのうちの少なくとも 1 つのエッジの周縁部に、上記エッジ側突起電極及び上記内部側突起電極が設けられ、
該内部側突起電極の数は、エッジ側突起電極の数よりも多いことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

上記内部側突起電極の少なくとも一部は、上記エッジ側突起電極の配設方向とは異なる配設方向となるように配設されていることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

上記エッジ側突起電極のうち、少なくとも両端とそれに隣接する位置とに配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数は、上記両端以外の位置に配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数よりも少ないことを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

上記エッジ側突起電極及び上記内部側突起電極のうち、少なくとも両端に配設されるエッジ側突起電極及び内部側突起電極のそれぞれが有する幅は、上記両端以外の位置に配設されるエッジ側突起電極及び内部側突起電極のそれぞれが有する幅よりも大きいことを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

上記内部側突起電極は、さらに、半導体チップのエッジからの距離が相対的に小さい位置に配設された第 1 の内部側突起電極と、上記エッジからの距離が相対的に大きい位置に配設された第 2 の内部側突起電極とを備え、

上記第 2 の内部側突起電極に接合される内部側突起電極用リード配線は、上記第 1 の内部側突起電極間に設けられていることを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

上記内部側突起電極のうちの少なくとも一部は、上記半導体チップ上の半導体素子及びチップ配線の少なくとも一方に接続されていることを特徴とする請求項 1 ないし 10 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、詳細には、ファインピッチ化されたインナーリードを有する半導体装置に関するものである。

【0002】

【従来の技術】

液晶ドライバ用のパッケージとして、LSI 等からなる半導体チップをフィルム基板上に搭載してなるCOF (Chip On Film) が使用される。COF の場合、半導体チップの周縁部に、所定の配列ピッチにて、突起電極が設置されている。そして、この突起電極は、上記半導体チップと上記フィルム基板とを接続するための上記フィルム基板上のインナーリードに接合している。すなわち、図9 (a) に示すように、半導体チップ16上に突起電極18が設けられ、該突起電極18と、図示しないフィルム基板に支持されたインナーリード10とが接続される。インナーリード10は、図9 (b) に示すように、半導体チップ16の端辺であるエッジから突起電極18まで直線的に配設されて、突起電極18に接合している。

【0003】

近年、微細加工技術の発達に伴って、半導体チップ16の入出力端子を外部配線へ接続するために、突起電極数の増加による多出力化が進められている。また、半導体装置の小型化等の点から半導体チップ16の縮小化が進められている。このような多出力化や半導体チップ16の縮小化を実現するためには、半導体チップ16上の突起電極18のファインピッチ化を進める必要がある。

【0004】

具体的には、図10 (a) に示すように、半導体チップ16の周縁部に一列に並んで形成されている突起電極19を高密度に配置して、ファインピッチ化を図

っている。このように、突起電極 19 を高密度に配置するためには、図 10 (b) に示すように、突起電極 19 間の間隔を狭くする、あるいは、突起電極 19 の幅を小さくする必要が生じる。

【0005】

しかしながら、突起電極 19 間の間隔や突起電極 19 の幅を小さくすると、突起電極 19 とインナーリード 11 とを接合する際のボンディング精度が低下してしまうという問題が生じる。つまり、半導体チップ 16 上の突起電極 19 とフィルム基板上のインナーリード 11 とは、加熱圧着によって接合される。このとき、加熱圧着部分にて、有機物からなるフィルム基板が熱膨張して $10 \sim 20 \mu\text{m}$ 程度の伸びが生じ、フィルム基板上のインナーリード 11 の位置にばらつきが生じる。そのため、半導体チップ 16 上に形成された突起電極 19 の形成位置に対応するように形成されたフィルム基板上のインナーリード 11 が、熱膨張によって、上記突起電極 19 の形成位置からずれてしまうことがある。

【0006】

上記熱膨張によるインナーリード 11 と半導体チップ 16 上の突起電極 19 の加熱圧着時の位置ずれは、半導体チップ 16 が長方形型である場合には、特に長辺側の半導体チップ 16 の端部の突起電極 19 で発生し、中央部の突起電極 19 では発生しない。これは、フィルム基板の熱膨張が半導体チップ 16 の端部に行くほど累積して大きくなるためである。

【0007】

上記のようなインナーリード 11 の位置のずれは、突起電極 19 とインナーリード 11 との接合におけるボンディング精度を低下させる原因となる。すなわち、上記インナーリード 11 の位置のずれにより、加熱圧着による接合に際して、インナーリード 11 が接合されるべき突起電極 19 以外の突起電極に接触して、ショートやリーク不良を招くことになる。

【0008】

このような理由から、突起電極 19 間の間隔や突起電極 19 の幅を小さくすることには限界があり、従って、インナーリード 11 のファインピッチ化にも限界がある。具体的には、現在量産されている図 10 (a) に示す COF では、図 1

0 (b) に示すように、突起電極 19 の幅 w_{10} は $25\ \mu\text{m}$ であり、突起電極 19 間の距離 d_{10} が $15\ \mu\text{m}$ となっている。これにより、突起電極 19 の配列ピッチ m_{10} は $40\ \mu\text{m}$ となる。つまり、現在のボンディング精度では、上記 COF のインナーリードのピッチ p_{10} は $40\ \mu\text{m}$ 程度に留まることになる。このように、図 10 (a) に示す COF では、上記した突起電極 19 間の間隔を縮小することや、突起電極 19 の幅を縮小することによって、ショートやリーク不良の生じる可能性があり、さらなるファインピッチ化を図ることは困難となっている。

【0009】

そこで、ファインピッチ化を図る他の手法として、図 11 (a) に示すように、半導体チップ 16 の周縁部に、千鳥状に突起電極 17 a・17 b を配置する技術が提案されている（例えば、特許文献 1・2 等）。このように、千鳥状に突起電極 17 a・17 b を配置した場合には、外周側に位置する突起電極（以下、外周側突起電極と記載する）17 a は、図 9 (a) (b) に基づいて説明したように、半導体チップ 16 のエッジから直線的に配置されるインナーリード 12 a に接合される。また、内周側に位置する突起電極（以下、内周側突起電極と記載する）17 b には、半導体チップ 16 のエッジから外周側突起電極 17 a の間を通過して、1 本のインナーリード 12 b が配置される。

【0010】

このとき、外周側突起電極 17 a 間には、図 11 (b) に示すように、内周側突起電極 17 b に接合されるインナーリード 12 b が外周側突起電極 17 a に接触しないように、所定のスペースが設けられる。また、内周側突起電極 17 b は、外周側突起電極 17 a 間を通過するインナーリード 12 b と直線的に接合されるように配置される。

【0011】

このように、外周側突起電極 17 a 間に、インナーリード 12 b を配置するためのスペースが確保されるために、外周側突起電極 17 a の配列ピッチは、図 10 (a) に示す COF の突起電極 19 の配列ピッチよりも小さくなる。しかしながら、図 11 (a) に示す COF では、突起電極 17 a・17 b が千鳥状に配置されているので、半導体チップ 16 上には、図 10 (a) に示す COF と同様に

、高密度に突起電極 17 a・17 b を配置することができる。

【0012】

【特許文献 1】

特開平 7-335692 号公報（平成 7（1995）年 12 月 22 日公開）

【0013】

【特許文献 2】

特開 2000-269611 号公報（2000 年 9 月 29 日公開）

【0014】

【発明が解決しようとする課題】

しかしながら、千鳥状に突起電極が形成された上記従来の COF であっても、ファインピッチ化はせいぜい $35\ \mu\text{m}$ 程度に留まるという問題を有している。

【0015】

すなわち、図 11（b）に示されるように、 $15\ \mu\text{m}$ の幅 v_{11} を有するインナーリード 12 a・12 b が、 $25\ \mu\text{m}$ の幅 w_{11} を有する突起電極 17 a・17 b の中心を通るように接合され、外周側突起電極 17 a 間に配置されるインナーリード 12 b と外周側突起電極 17 a との距離 f_{11} が $15\ \mu\text{m}$ である場合、インナーリードのピッチ p_{11} は $35\ \mu\text{m}$ となる。

【0016】

さらなるファインピッチ化を図るためには、突起電極 17 a の幅を縮小すればよいが、突起電極 17 a の幅を小さくすることによって、半導体チップ 16 とインナーリード 12 a・12 b との加熱圧着による接合精度が低下して、インナーリード 12 a・12 b の位置ずれが発生しやすくなる。インナーリード 12 b の位置ずれは、上記したように、ショートやリーク不良を引き起こす原因になる。そのため、図 11（b）に示す COF にて突起電極 17 a・17 b の幅を縮小すれば、インナーリード 12 a・12 b のボンディング精度を高めなければならず、現在のボンディング精度では、インナーリードのさらなるファインピッチ化は困難となっている。

【0017】

このように、従来の COF では、ファインピッチ化に限界があり、 $35\ \mu\text{m}$ 以

下のインナーリードピッチを達成することが困難であるという問題がある。インナーリードのファインピッチ化を実現することができなければ、半導体チップのサイズの縮小化を達成することができなくなる。また、ウエハ内での半導体チップの歩留まりを上げることができず、コスト削減を図ることが困難となる。

【0018】

本発明は、上記従来の問題点を解決するためになされたものであって、その目的は、インナーリードのボンディング精度を向上することなく現在のボンディング精度にて、インナーリードのファインピッチ化を実現し得る半導体装置を提供することにある。

【0019】

【課題を解決するための手段】

本発明の半導体装置は、上記課題を解決するために、半導体チップ上に、該半導体チップのエッジからの距離が相対的に小さい位置に配設されたエッジ側突起電極と、上記エッジからの距離が相対的に大きい位置に配設された内部側突起電極とを備え、フィルム基板上に形成されたリード配線が、上記エッジ側突起電極及び上記内部側突起電極に接合されてなる半導体装置において、互いに隣り合う上記エッジ側突起電極間には、上記内部側突起電極に接合される少なくとも2本の内部側突起電極用リード配線が設けられ、上記内部側突起電極用リード配線のうちの少なくとも1本は、上記内部側突起電極との接合位置に応じて屈曲していることを特徴としている。

【0020】

上記の構成によれば、エッジ側突起電極間に2本以上の内部側突起電極用リード配線が形成され、このうち少なくとも1本の内部側突起電極用リード配線が屈曲している。すなわち、内部側突起電極用リード配線は、内部側突起電極の配設位置に応じて、該内部側突起電極との接合が可能となるように屈曲している。

【0021】

そのため、エッジ側突起電極間にて、2本以上の内部側突起電極用リード配線が相互に接触しない範囲内で、内部側突起電極用リード配線をファインピッチ化して形成しても、該内部側突起電極用リード配線と内部側突起電極とを好適に接

合することができる。すなわち、内部側突起電極用リード配線が内部側突起電極の配設位置に応じて屈曲する構成とすることにより、エッジ側突起電極間での内部側突起電極用リード配線のピッチに関係なく、内部側突起電極のピッチに応じて、該内部側突起電極と内部側突起電極用リード配線とを接合することができる。

【0022】

従って、エッジ側突起電極間での内部側突起電極用リード配線をファインピッチ化することにより、内周側突起電極に接合される内部側突起電極用リード配線の数を増加させることができる。その結果、リード配線のファインピッチ化を図ることができる。

【0023】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極用リード配線は、上記内部側突起電極との接合位置よりも上記エッジ側突起電極間にて、ピッチが小さくなるように設けられていることを特徴としている。

【0024】

上記の構成によれば、エッジ側突起電極間における内部側突起電極用リード配線のピッチは、内部側突起電極に接合している内部側突起電極用リード配線のピッチよりも小さくなっている。つまり、エッジ側突起電極間には、内部側突起電極用リード配線が集約するように配置されている。そのため、エッジ側突起電極間により多くの内部側突起電極用リード配線を配置することができるので、高密度に配設された内部側突起電極に接合することができる。これにより、内部側突起電極の高密度化、及びリード配線のファインピッチ化を図ることができる。

【0025】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極間における上記内部側突起電極用リード配線は、 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下の幅を有することが好ましい。

【0026】

さらに、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極間の距離は、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることが好ましい。

【0027】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極用リード配線は、上記内部側突起電極に接合した場合に、上記エッジから、上記内部側突起電極の上記半導体チップの内部側の端部までの長さが $100\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であることが好ましい。

【0028】

上記の各構成によれば、内部側突起電極及びエッジ側突起電極に接合される配線リードのファインピッチ化を図ることができる。具体的には、半導体チップ上のエッジにおける上記配線リードのピッチを、実質的に $35\mu\text{m}$ 以下にすることが可能となる。

【0029】

また、本発明の半導体装置は、上記の半導体装置において、上記半導体チップは4つのエッジを有し、該エッジのうちの少なくとも1つのエッジの周縁部に、上記エッジ側突起電極及び上記内部側突起電極が設けられ、該内部側突起電極の数は、エッジ側突起電極の数よりも多いことを特徴としている。

【0030】

上記の構成によれば、1つのエッジの周縁部に設けられるエッジ側突起電極の数を内部側突起電極の数よりも少なくすることにより、エッジ側突起電極間に、内部側突起電極用リード配線を配置するための領域を確保することが可能になる。これにより、内部側突起電極と内部側突起電極用リード配線との接合を容易にすることができる。従って、内部側突起電極用リード配線とエッジ側突起電極との接触を防止し、リード配線のショートやリーク不良を低減することができる。

【0031】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極の少なくとも一部は、上記エッジ側突起電極の配設方向とは異なる配設方向となるように配設されていることを特徴としている。

【0032】

上記の構成によれば、内部側突起電極用リード配線は屈曲されて形成されるので、種々の配設方向に配設された内部側突起電極に対しても、内部側突起電極用

リード配線を接合することができる。それゆえ、種々の配設方向に配設された内部側突起電極を有する半導体チップに接続されるリード配線をファインピッチ化することができる。

【0033】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極のうち、少なくとも両端とそれに隣接する位置とに配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数は、上記両端以外の位置に配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数よりも少ないことを特徴としている。

【0034】

両端以外の領域に配設される突起電極とリード配線とは、該突起電極とリード配線の接合に際して、比較的接合位置にずれが生じにくい。これに対し、両端とそれに隣接する位置とに配設される突起電極とリード配線との接合では、接合位置にずれが生じやすい。接合位置のずれは、リード配線のショートやリーク不良を引き起こす原因になる。

【0035】

そのため、上記の構成を採用することによって、接合位置にずれが生じやすい両端とそれに隣接する位置とでは、内周側突起電極用リード配線数をより少なくすることによって、リード配線のショートやリーク不良を防止している。また、接合位置にずれが生じ難い上記両端以外の領域では、内周側突起電極用リード配線数をより多くすることによって、リード配線のファインピッチ化を図っている。これにより、リード配線のショートやリーク不良を防止するとともに、リード配線のファインピッチ化を図ることが可能になる。

【0036】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極及び上記内部側突起電極のうち、少なくとも両端に配設されるエッジ側突起電極及び内部側突起電極のそれぞれが有する幅は、上記両端以外の位置に配設されるエッジ側突起電極及び内部側突起電極のそれぞれが有する幅よりも大きいことを特徴としている。

【0037】

上記の構成によれば、突起電極とリード配線との接合位置のずれの生じやすさに応じて、突起電極の幅を変化させている。これにより、接合位置のずれが生じやすい両端に配設される突起電極によって、リード配線のショートやリーク不良を防止することができる。また、接合位置のずれが生じ難い上記両端以外の領域に配設される突起電極によって、ファインピッチ化を図ることが可能になる。

【0038】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極は、さらに、半導体チップのエッジからの距離が相対的に小さい位置に配設された第1の内部側突起電極と、上記エッジからの距離が相対的に大きい位置に配設された第2の内部側突起電極とを備え、上記第2の内部側突起電極に接合される内部側突起電極用リード配線は、上記第1の内部側突起電極間に設けられていることを特徴としている。

【0039】

上記の構成によれば、半導体チップのエッジからの距離が異なる位置に配設された第1の内部側突起電極と第2の内部側突起電極とが備えられている場合にも、第1の内部側突起電極間に、少なくとも1本の内部側突起電極用リード配線を設けることによって、リード配線のファインピッチ化を図ることができる。

【0040】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極のうちの少なくとも一部は、上記半導体チップ上の半導体素子及びチップ配線の少なくとも一方に接続されていることを特徴としている。

【0041】

上記の構成によれば、半導体素子の配置位置に合わせて内部側突起電極が配設されている場合にも、内部側突起電極の配設位置に合わせて内部側突起電極用リード配線を接合することができる。

【0042】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1ないし図4に基づいて説明すれば、以下の通りである。

【0043】

本実施の形態のCOF (Chip On Film、半導体装置) は、図2 (b) に示すように、フィルム基板101に支持されたインナーリード (リード配線) 100と、半導体チップ96に設けられた突起電極98とが、互いに対向するように配置され、インナーリード100と突起電極98とが電氣的に接続されている。

【0044】

フィルム基板101上のインナーリード100上には、耐熱性に優れたポリイミド系やポリウレタン系の材料からなる保護膜としてのソルダレジスト94が形成されている。このソルダレジスト94は、導電性やイオン性の異物の付着によるインナーリードの腐食やリーク不具合等を防止するために設けられている。また、上記ソルダレジスト94は、外部外力によるインナーリードの断線を防止し、折り曲げ時にインナーリードを保護する。なお、ソルダレジスト94は、 $3\mu\text{m}$ ～ $30\mu\text{m}$ の厚さにて形成されている。また、突起電極98とインナーリード100とを接合するために、例えば、エポキシ系のアンダーフィル材を流し込んで硬化させてなる樹脂99が形成されている。

【0045】

上記COFは、図2 (a) に示すように、半導体チップ96の入出力端子がインナーリード100 (図2 (b)) を介して、外部配線である入力側アウターリード91と、出力側アウターリード95とに接続されている。一般に、入力側アウターリード91は比較的粗いピッチにて形成され、出力側アウターリード95は近年の多出力化に伴って、ファインピッチ化されている。現在では、480出力のCOFが量産化されている。

【0046】

上記フィルム基板101は、ポリイミド系等の絶縁性の有機物であり、自由に折り曲げが可能な厚さを有している。該フィルム基板101に支持されるインナーリード100は、銅箔によって形成され、錫メッキが施されている。インナーリード100の厚さは、 $8\mu\text{m}$ ～ $12\mu\text{m}$ である。また、インナーリード100

の長さは、半導体チップ 9 6 上の突起電極 9 8 の形成位置に応じて、半導体チップ 9 6 の端辺（エッジ）から $100\ \mu\text{m}$ 以上 $500\ \mu\text{m}$ 以下の範囲内の長さとなるように形成されていることが好ましい。

【0047】

また、上記突起電極 9 8 は、その形状は特に限定されないが、例えば、図 1（a）に示すように、長辺が $60\ \mu\text{m} \sim 120\ \mu\text{m}$ であり、短辺が $25\ \mu\text{m} \sim 40\ \mu\text{m}$ である長方形型であって、 $10\ \mu\text{m} \sim 18\ \mu\text{m}$ の厚さを有している。上記突起電極 9 8 は、金によって形成され、インナーリード 1 0 0 と金－錫金属間接合によって接合される。

【0048】

上記 COF の半導体チップ 9 6 は、図 2（a）に示すように、その形状は特に限定されないが、例えば、長辺が $15\ \text{mm} \sim 22\ \text{mm}$ であり、短辺が $1.5\ \text{mm} \sim 2.5\ \text{mm}$ である長方形型である。上記半導体チップ 9 6 には、図 1（a）に示すように、その周縁部に、半導体チップ 9 6 のエッジである端辺に平行であって、かつ所定の配列ピッチにて突起電極 9 8 a が設けられている。また、半導体チップ 9 6 の端辺からの距離を上記突起電極 9 8 a とは異にして、半導体チップ 9 6 の端辺に平行であって、かつ所定の配列ピッチにて突起電極 9 8 b が形成されている。つまり、上記半導体チップ 9 6 では、その端辺からの距離を異にして、所定のピッチにて形成された突起電極 9 8 a 及び突起電極 9 8 b が 2 列に形成されている。

【0049】

以下では、半導体チップ 9 6 の端辺からの距離が相対的に小さい突起電極 9 8 a を外周側突起電極（エッジ側突起電極）9 8 a と記載し、半導体チップ 9 6 の端辺からの距離が相対的に大きい突起電極 9 8 b を内周側突起電極（内部側突起電極）9 8 b と記載する。また、外周側突起電極 9 8 a、内周側突起電極 9 8 b のいずれか又は両方を指す場合には、突起電極 9 8 と記載する。

【0050】

なお、本実施の形態では、図 1（a）に示すように、半導体チップ 9 6 が有する 4 辺のうちの 1 辺の周縁部に、外周側突起電極 9 8 a 及び内周側突起電極 9 8

bが2列に形成され、残りの3辺（以下、他の辺と記載する）の周縁部には、1列の突起電極のみが配置されている場合について説明するが、他の辺の少なくとも1辺に2列の突起電極が配置されていてもよい。

【0051】

図1（b）に示すように、上記外周側突起電極98aの配列ピッチは、内周側突起電極98bの配列ピッチよりも大きくなっている。すなわち、外周側突起電極98a間の距離は、内周側突起電極98b間の距離よりも大きくなっている。そのため、本実施の形態では、隣接する2つの外周側突起電極98aの設置位置に挟み込まれるように、2つの内周側突起電極98bが設置されている。それゆえ、内周側突起電極98bの数は、外周側突起電極98aの数と同等以上となっている。

【0052】

また、図1（a）に示すように、内周側突起電極98bのうちの両端に位置する突起電極は、半導体チップ96の他の辺に配置された突起電極と交差するのを避けるために、外周側突起電極98aのうちの両端に位置する突起電極よりも内側に配置されている。

【0053】

半導体チップ96上に設置された外周側突起電極98a及び内周側突起電極98bは、図1（a）に示すように、それぞれ、フィルム基板101（図2（a））に設けられたインナーリード100a・100bによって、電気的に接合されている。なお、以下では、外周側突起電極98aに接合されるインナーリード100aを外周インナーリード100aと記載し、内周側突起電極98bに接合されるインナーリード100bを内周インナーリード（内部側突起電極用リード配線）100bと記載する。また、外周インナーリード100a、内周インナーリード100bのいずれか又は両方を指す場合には、インナーリード100と記載する。

【0054】

外周インナーリード100a・内周インナーリード100bは、それぞれ、半導体チップ96の端辺から、外周側突起電極98a・内周側突起電極98bそれ

ぞれの、上記端辺に平行な対向する 2 辺に直交するように配置される。上記外周インナーリード 100 a・内周インナーリード 100 b は、この対向する 2 辺のほぼ中心を通過して、外周側突起電極 98 a・内周側突起電極 98 b 上に直線状に配置されるように設計されている。

【0055】

それゆえ、図 1 (b) に示すように、外周側突起電極 98 a の配列ピッチと、外周側突起電極 98 a に接合された外周インナーリード 100 a のピッチ（以下、外周インナーリード 100 a の接合ピッチと記載する） $p(o)_1$ とは、ほぼ同一のピッチとなる。また、内周側突起電極 98 b の配列ピッチと、内周側突起電極 98 b に接合された内周インナーリードのピッチ（以下、内周インナーリード 100 b の接合ピッチと記載する） $p(i)_1$ とは、同一のピッチとなる。

【0056】

本実施の形態では、上記したように、外周側突起電極 98 a と内周側突起電極 98 b とが 2 列に形成されているので、外周インナーリード 100 b は、内周側突起電極 98 b に接触しないように形成される必要がある。また、本実施の形態では、上記したように、隣接する 2 つの外周側突起電極 98 b の配設位置に挟み込まれるように、2 つの内周側突起電極 98 a が配設されているので、外周側突起電極 98 a 間には、2 本の内周インナーリード 100 b が配置される。そのため、外周側突起電極 98 a 間に配置される 2 本の内周インナーリード 100 b が互いに接触しないように、また外周側突起電極 98 a に接触しないように配置する必要がある。

【0057】

具体的には、図 1 (a) に示すように、外周側突起電極 98 a 上に配置される外周インナーリード 100 a は、半導体チップ 96 の端辺から外周側突起電極 98 a 上にて直線状となり、また、外周側突起電極 98 a の上記端辺に平行な対向する 2 辺と交差するように配置される。そして、外周インナーリード 100 a が内周側突起電極 98 b に接触しないように、半導体チップ 96 上における外周インナーリード 100 a の先端部は、内周側突起電極 98 b の形成位置に達する直前に配置される。

【0058】

これに対し、内周側突起電極 98b 上に配置される内周インナーリード 100b は、図 1 (a) に示すように、半導体チップ 96 の端辺から外周側突起電極 98a 間に配置される 2 本の内周インナーリード 100b が、互いに接触しないように、かつ外周側突起電極 98b に接触しないように、外周側突起電極 98b 間に直線状に配置される。さらに、内周インナーリード 100b と内周側突起電極 98b との接合を可能とするために、外周側突起電極 98a の配設位置と内周側突起電極 98b との配設位置との間で、内周側突起電極 98b の配設位置に応じて内周インナーリード 100b が屈曲している。これにより、内周側突起電極 98b の上記端辺に平行な対向する 2 辺を直線的に、内周インナーリード 100b が通過し、内周側突起電極 98b と内周インナーリード 100b とが接合される。

【0059】

具体的には、内周側突起電極 98b との接合位置に合わせて、外周側突起電極 98a 間での 2 つの内周インナーリード 100b の距離を広げるように、上記内周インナーリード 100b は、外周側突起電極 98a 間を通過した位置にて屈曲している。また、内周インナーリード 100b は、内周側突起電極 98b の上記対向する 2 辺と交差することができるよう、内周側突起電極 98b の形成位置の直前にて、さらに屈曲している。

【0060】

上記のように、外周側突起電極 98a 形成位置と内周側突起電極 98b との形成位置との間で、内周インナーリード 98b を屈曲させることにより、内周インナーリード 100b の接合ピッチと、外周側突起電極 98a 間に配置される 2 本の内周インナーリード 100b のピッチ（以下、内周インナーリード 100b の電極間ピッチと記載する）とを異ならせることができる。特に、内周インナーリード 100b の電極間ピッチは、外周側突起電極 98a 間に配置される 2 本の内周インナーリード 100b が互いに接触しない程度の大きさであればよいので、内周インナーリード 100b の接合ピッチよりも小さくすることが可能である。これにより、内周側突起電極 98b に接合される内周インナーリード 100b の

数を増やすことができる。

【0061】

このように、外周側突起電極 98 a 間に設けられる内周インナーリード 100 b の電極間ピッチを微細化することにより、突起電極 98 を高密度に配置し、突起電極 98 のファインピッチ化、インナーリード 100 のファインピッチ化を図ることができる。

【0062】

なお、上記内周インナーリード 100 b は、後述する内周インナーリード 100 b と内周側突起電極 98 b との接合に際して生じる内周インナーリード 100 b の断線やクラックを防止するために、屈曲位置にて $R\ 0.05\text{ mm} \sim 0.2\text{ mm}$ とすることが好ましい。

【0063】

また、外周側突起電極 98 a 間の距離は、上記したように、外周側突起電極 98 a 間に配置される 2 本の内周インナーリード 100 b が互いに接触せず、かつ、外周側突起電極 98 a に接触しないように配置することができる距離である。

【0064】

具体的には、外周側突起電極 98 a と内周インナーリード 100 b との距離は $15\ \mu\text{m}$ 程度確保することが好ましい。また、インナーリード 100 のファインピッチ化を図るためには、内周インナーリード 100 b の電極間ピッチは、 $30\ \mu\text{m}$ 以下とすることが好ましいので、インナーリード 100 の幅は、 $15\ \mu\text{m}$ 以下とすることが好ましい。これにより、外周側突起電極 98 a 上に接合される外周インナーリード 100 a が、たとえ外周側突起電極 98 a 上からはみ出して接合された場合にも、ショートやリーク不良を防止することができる。

【0065】

次に、上記 COF の製造方法について説明する。

【0066】

上記 COF のフィルム基板 101 として、上記したように自由に折り曲げが可能な厚さであって、さらに図 2 (a) に示すように、スプロケットホール 93 を使用した装置での搬送が可能となるような厚さのものを使用する。また、このフ

ィルム基板 101 には、インナーリード 100 を形成するための銅箔が $5\mu\text{m}$ ~ $9\mu\text{m}$ の厚さで形成されていることが好ましく、 $8\mu\text{m}$ 以下であることがより好ましい。銅箔を有するフィルム基板 101 は、具体的には、上記したポリイミド系の有機物からなる基材に、Cr や Ni 等の金属をスパッタ法によって付着させ、この金属上にメッキ法にて銅箔を形成するメタライズ法によって作製される。あるいは、銅箔にポリイミドワニス塗って硬化させるキャスト法によっても作製することができる。

【0067】

続いて、フィルム基板 101 上の銅箔をエッチングして、所望する配線パターンにてインナーリード 100 を形成する。上記のように、銅箔が $5\mu\text{m}$ ~ $9\mu\text{m}$ という薄膜状に形成されている場合には、インナーリード 100 のファインピッチ化を行うことが可能となっている。また、フィルム基板 101 に支持されるように銅箔を形成しているので、インナーリード 100 がフィルム基板 101 上に固定されている。そのため、インナーリード 100 が有する幅が $1\mu\text{m}$ ~ $15\mu\text{m}$ と細く、また内周側突起電極 98b の配設位置に応じてインナーリード 100 b が屈曲する場合にも、インナーリード 100 の変形や断線等の不良を招くことはない。

【0068】

具体的には、厚さが $5\mu\text{m}$ の銅箔を用いた場合には、インナーリード 100 を幅 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下で形成し、さらにインナーリード 100 のピッチを $15\mu\text{m}$ にて形成することが可能である。また、上記の方法にて、フィルム基板 101 上にインナーリード 100 を形成した場合、フィルム基板 101 とインナーリード 100 との密着強度は、 $5\text{N}/\text{cm}$ 以上とすることができる。なお、上記の手法にて形成されたインナーリード 100 の長さのばらつきは、 $\pm 20\mu\text{m}$ である。

【0069】

このようにインナーリード 100 を形成した後、インナーリード 100 の所定領域を被覆するようにソルダレジスト 94 を形成する。

【0070】

次いで、インナーリード100が形成されたフィルム基板101と、突起電極98が形成された半導体チップ96とを、インナーリード接合装置を用いて、接合する。すなわち、図3に示すように、インナーリード接合装置のボンディングステージ112上に半導体チップ96を固定する。さらに、上記インナーリード接合装置の固定クランプ111を用いて、インナーリード100上のソルダレジスト94が形成された領域にて、フィルム基板101を固定する。このとき、フィルム基板101上のインナーリード100と、半導体チップ96に備えられた突起電極98とが対向するように、フィルム基板101及び半導体チップ96を固定する。

【0071】

その後、フィルム基板101のインナーリード100と、半導体チップ96の突起電極98との位置合わせを行い、図3に示すように、インナーリード接合装置の加熱ツール110とボンディングステージ112とを図中矢印方向に移動させる。なお、上記の位置合わせを好適に行うために、図1(a)に示すインナーリード100のうち、両端に位置するインナーリード100に直交するように、 $50\mu\text{m}\sim 100\mu\text{m}$ の長さを有する突起状の位置決め凸部（図示せず）を形成しておいてもよい。

【0072】

これにより、フィルム基板101と半導体チップ96とが、加熱ツール110及びボンディングステージ112に挟み込まれ、上記インナーリード100と突起電極98との接合位置に樹脂99（図2(b)）を塗布して、 $0.5\text{s}\sim 3\text{s}$ 間の加熱圧着することにより、上記インナーリード100と突起電極98とが樹脂99によって接合される。なお、この加熱圧着に際しては、ボンディングステージ112及び加熱ツール110を所定温度にまで加熱して行う。このようにして、インナーリード100表面の錫と突起電極98の金とが、金属間接合によって電氣的に接続される。

【0073】

上記にて説明したように、図1(a)に示すCOFは、従来のインナーリード接合装置のボンディング精度にて製造することができる。つまり、本実施の形態

のCOFは、従来のボンディング精度で製造することによって、インナーリードの変形や断線、リーク不良等を招くことなく、半導体チップ96に搭載される突起電極数を増やし、インナーリードのピッチを向上することができる。

【0074】

なお、本実施の形態では、インナーリード接合装置を用いているので、インナーリード100と突起電極98との加熱圧着を行う際に生じる応力により、半導体チップ96の端辺上に配置されるインナーリード100にダメージ115が生じることがある。このようなダメージ115は、インナーリード100の断線やクラックを引き起こす。そのため、半導体チップの端辺上に位置するインナーリード100は、フィルム基板101上にて直線状となるように形成しておくことが好ましい。

【0075】

なお、図1(a)に示すCOFでは、隣接する2つの外周側突起電極98aの設置位置に挟み込まれるように、2つの内周側突起電極98bが設置されているので、外周側突起電極98a間には、2本の内周インナーリード100bが配置されているが、これに限定されるものではない。すなわち、図4(a)に示すように、隣接する2つの外周側突起電極58aの設置位置に挟み込まれるように、3つの内周側突起電極58bを設けてもよい。この場合、外周側突起電極58a間には、3本の内周インナーリード50bが配置されることになる。

【0076】

外周側突起電極58a間に、3本の内周インナーリード50bを配置した場合にも、上記と同様、半導体チップ96の端辺から、外周側突起電極58a間に配置される3本の内周インナーリード50bが互いに接触しないように、かつ該内周インナーリード50bが外周側突起電極58aに接触しないように、3本の内周インナーリード50bが直線状に配置される。

【0077】

そして、内周インナーリード50bと内周側突起電極58bとの接合を可能とするために、図4(b)に示すように、外周側突起電極58aの形成位置と内周側突起電極58bとの形成位置との間で、3本の内周インナーリード50bのう

ち、両端の2本の内周インナーリードが屈曲している。これに対し、外周側突起電極50a間に配置される3本の内周インナーリード50bのうち、真ん中に配置される内周インナーリードは、半導体チップ96の端辺から、内周側突起電極58bまで屈曲することなく、直線状に配置されている。

【0078】

これにより、外周側突起電極50aの配列ピッチを小さくするとともに、内周側突起電極58bの配列ピッチを小さくすることもできるので、半導体チップ上に搭載される突起電極58の高密度化を図ることができる。

【0079】

なお、図4(a)に示すCOFでは、外周側突起電極50a間に配置される3本の内周インナーリード50bのうち、真ん中に配置される内周インナーリードを屈曲させることなく直線状に形成しているが、両端に配置される内周インナーリード50bと同様に屈曲させてもよい。あるいは、3本の内周インナーリード50bのうち、1本のみを屈曲させてもよい。すなわち、内周インナーリード50bのいずれを屈曲させるかは、外周側突起電極50a及び内周側突起電極50bの配設位置に応じて設定すればよく、特に限定されるものではない。

【0080】

また、外周側突起電極間に配置される内周インナーリードの数も、上記2本又は3本に限定されるものではなく、4本以上であっても同様に適用することができる。

【0081】

本発明は、上記の実施の形態に限定されるものではなく、本発明の範囲内で種々の変更が可能である。例えば、本実施の形態では、フィルム基板101上の銅箔を使用して、インナーリード100を形成する方法について説明したが、インナーリード100以外の配線を形成する場合にも、上記した方法を同様に適用することができる。また、インナーリード100とともに、他の配線を形成することも可能である。

【0082】

また、本実施の形態では、COFを例に挙げて説明したが、これに限定される

ものでもない。すなわち、インナーリードのピッチを $40\ \mu\text{m}$ 以下にて形成した場合に、インナーリードの強度や、インナーリードとフィルム基板との密着強度等を十分に確保することができるものであればよい。但し、TCP (Tape Carrier Package) 等では、インナーリードのピッチを $40\ \mu\text{m}$ 以下とした場合には、インナーリードの強度を確保できない可能性があるため、COF等を使用することが好ましい。

【0083】

〔実施の形態2〕

本発明の他の実施の形態について図5に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0084】

本実施の形態の半導体チップ96には、図5(a)に示すように、上記半導体チップ96の端辺からの距離を異にして、所定のピッチにて形成された突起電極が3列に形成されている。以下では、半導体チップ96の端辺から各突起電極までの距離が相対的に小さい方から順に、第1突起電極(エッジ側突起電極)68a、第2突起電極(第1の内部側突起電極)68b、第3突起電極(第2の内部側突起電極)68cと記載する。また、第1突起電極68a、第2突起電極68b、第3突起電極68cのいずれか又は両方を指す場合には、突起電極68と記載する。

【0085】

上記第2突起電極68b及び第3突起電極68cのうち、両端に位置する突起電極は、前記実施の形態1にて説明したように、半導体チップの他の辺に配置された突起電極と交差しないように、第1突起電極68aのうちの両端に位置する突起電極よりも内側に配置されている。

【0086】

また、半導体チップ96上に設置された各突起電極68は、それぞれ、フィルム基板101(図2(a))に設けられたインナーリード60a・60b・60cによって、電氣的に接合されている。インナーリード60a・60b・60c

は、前記実施の形態にて説明したように、半導体チップ96の端辺から、該端辺に平行である突起電極の対向する2辺を通過するように配置される。

【0087】

なお、以下では、第1突起電極68aに接合されるインナーリード60aを第1インナーリード60a、第2突起電極68bに接合されるインナーリード60bを第2インナーリード60b、第3突起電極68cに接合されるインナーリード60cを第3インナーリード60cと記載する。また、第1インナーリード60a、第2インナーリード60b、第3インナーリード60cのいずれか又は両方を指す場合には、インナーリード60と記載する。

【0088】

上記第1突起電極68aは、図5(a)に示すように、該第1突起電極68a間にて、第2インナーリード60b及び第3インナーリード60cが互いに接触せず、かつ、これらのインナーリード60b・60cが第1突起電極68aに接触することのないような配列ピッチで半導体チップ96上に搭載されている。また、上記第2突起電極68bは、第3インナーリード60cが互いに接触せず、かつ第3インナーリード60cが第2突起電極68bに接触しないように、ランダムな配列ピッチにて半導体チップ96上に搭載されている。さらに、上記第3突起電極68cは、前記実施の形態1にて説明したインナーリード接合装置のボンディング精度を考慮した上で設定される最小の配列ピッチにて、半導体チップ96上に搭載されている。

【0089】

具体的には、図5(b)に示すように、第1突起電極68a上に配置される第1インナーリード60aは、半導体チップ96の端辺から第1突起電極68a上まで直線状に形成され、また、第1突起電極68aの上記端辺に平行である対向する2辺を通過するように配置される。そして、第1インナーリード60aが第2突起電極68bに接触しないように、半導体チップ96上における第1インナーリード60aの先端部は、第2突起電極68bの形成位置に達する直前に配置される。

【0090】

また、第1突起電極間には、2本の第2インナーリード60b及び4本の第3インナーリード60cが配置されている。これら6本のインナーリード60b・60cは、半導体チップ96の端辺から第1突起電極間を通過するまで、直線状に配置されている。この6本のインナーリード60b・60cのうち、両端に位置するインナーリードが第2インナーリード60bとなり、該第2インナーリードに挟まれた4本のインナーリードが第3インナーリード60cとなっている。

【0091】

上記第2インナーリード60bは、第2突起電極68b上に配置されて接合されるので、第1突起電極68aの形成位置と第2突起電極68bとの形成位置との間で屈曲している。これにより、第2突起電極68bの上記端辺に平行である対向する2辺を直線的に通過するように、第2突起電極68b上に第2インナーリード60bを配置して、第2突起電極68bと第2インナーリード60bとを接合することができる。また、上記対向する2辺を直線的に通過した第2インナーリード60bの半導体チップ96上における先端部は、第3突起電極68cの形成位置に達する直前に配置される。これにより、第2インナーリード60bが、第3突起電極68cに接触することはない。

【0092】

このように、第1突起電極68a間に配置されたインナーリード60b・60cのうち、両端に位置するインナーリード60bが第2突起電極68bに接合される。従って、図5(a)に示すように、第3インナーリード60cが配置された第2突起電極68b間と、インナーリード60が配置されていない第2突起電極68b間が繰り返されるように、第2突起電極68bが配置されている。

【0093】

また、第1突起電極間68a及び第2突起電極68b間に配置されている上記第3インナーリード60cは、第2突起電極68bの形成位置と第3突起電極68cとの形成位置との間で屈曲している。これにより、第3突起電極68cの上記端辺に平行である対向する2辺に交差するように、第3突起電極68c上に第3インナーリード60cを配置することを可能としている。なお、第3突起電極68c間には、インナーリード60は配置されないもので、上記したように、第3

突起電極 68c 間の距離は、ボンディング精度を考慮した上で設定される配列ピッチに基づいて設定すればよい。

【0094】

以上のように、突起電極とインナーリードとを接合するために、インナーリードを屈曲させているので、突起電極間に配置されるインナーリードのピッチ（以下、インナーリードの電極間ピッチと記載する）をファインピッチ化することができる。また、突起電極間にインナーリードが配置されている場合には、突起電極間のインナーリード数に応じて、配列ピッチが決定される。従って、図 5（a）に示すように、半導体チップ 96 上の第 1 突起電極 68a の配列ピッチは、第 3 突起電極 68c の配列ピッチよりも大きくなっている。

【0095】

さらに、突起電極間のインナーリード数に応じて、半導体チップ 96 上に形成される突起電極数も変化する。図 5（a）に示す COF では、第 1 突起電極 68a、第 2 突起電極 68b、第 3 突起電極 68c の順に増加している。このように、半導体チップ 96 の外周側から内周側に向かって、突起電極数を増やすことにより、突起電極 68 とインナーリード 60 との接合を容易にしている。さらに、半導体チップ 96 上に搭載される突起電極 68 の高密度化を図り、突起電極 68 に接合されるインナーリード 60 のファインピッチ化を図っている。

【0096】

なお、本実施の形態では、第 2 突起電極 68b 及び第 3 突起電極 68c に接合するためにインナーリード 60 がすべて屈曲しているが、突起電極 68 の配置位置に応じて、屈曲しないインナーリードを用いてもよい。すなわち、前記実施の形態 1 にて説明した図 4（a）（b）に示す COF のように、半導体チップの端辺から突起電極まで屈曲することなく、直線状に配置される場合もあり得る。

【0097】

また、図 5（a）に示す COF では、半導体チップの端辺からの距離が異なるように、突起電極が 3 列に配置されているが、これに限定されず、4 列以上の突起電極が配設されていてもよい。すなわち、第 1 突起電極 68a と第 3 突起電極 68c との間の第 2 突起電極 68b を 2 列以上にて形成してもよい。

【0098】

あるいは、半導体チップ上にランダムに突起電極を配置することによって、ファインピッチ化を図ることも可能である。つまり、突起電極の配設位置に応じて、インナーリードを適宜屈曲させることにより、インナーリードのファインピッチ化を図ることができる。

【0099】

〔実施の形態3〕

本発明の他の実施の形態について図6ないし図7に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1・2の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0100】

本実施の形態のCOFは、前記実施の形態にて説明した図4(a)に示すCOFの内周側突起電極58bの一部を、残りの内周側突起電極58bとは、上記半導体チップ96の端辺からの距離が異なるように配置している。具体的には、図6に示すように、内周側突起電極58bの、半導体チップ96の端辺からの距離よりも大きくなる位置に、突起電極77を配置している。また、この突起電極77は、外周側突起電極58a及び内周側突起電極58bの配設方向とは異なる配設方向にて配置されている。すなわち、インナーリード70が交差する突起電極77の対向する2辺を、インナーリード58が交差する上記内周側突起電極58bの対向する2辺に対して、垂直になるように、上記突起電極77を配設している。

【0101】

この場合、図6に示すCOFでは、図4(a)に示すCOFでは内周側突起電極58bが配置されていた位置にインナーリード70が配置され、内周側突起電極58bと突起電極77との間で、インナーリード70が屈曲している。

【0102】

このように、突起電極77の配設位置に応じて、突起電極77とインナーリード70との接合位置が変わる場合にも、インナーリード70を屈曲させることに

より、半導体チップ96上における突起電極のファインピッチ化を実現することができる。

【0103】

また、半導体チップ96上に配置されている図示しない半導体素子やチップ配線の配置位置によっては、突起電極の方向を変化させる必要がある。すなわち、上記半導体素子やチップ配線は、半導体チップ96上に配置されており、この半導体素子上に突起電極が形成されている。そのため、突起電極の配設位置は、半導体素子の配置位置に依存することになるが、インナーリード70を屈曲させることにより、半導体素子やチップ配線の配置位置に関わらず、突起電極のファインピッチ化を実現することが可能となる。

【0104】

あるいは、図7に示すように、インナーリード71が交差する上記内周側突起電極58bの対向する2辺に対して、45度の角度をなすように、上記突起電極78を配置することも可能である。この場合にも、突起電極78の配設位置や配設方向に応じて、内周側突起電極58bと突起電極78との間でインナーリード71が屈曲している。

【0105】

以上のように、インナーリードを任意に屈曲させることによって、半導体チップ上に搭載される突起電極の配設位置や配設方向が任意に変更された場合にも、インナーリードのファインピッチ化を図ることが可能である。

【0106】

なお、本実施の形態では、図4(a)に示すCOFにて内周側突起電極58bが配置されていた位置に、インナーリードを配置する構成について説明したが、これに限定されるものではない。すなわち、前記実施の形態にて用いた図1(a)及び図5(a)に示すCOFにも適用可能である。また、図6及び図7に示す内周側突起電極58bの配列ピッチも適宜変更可能であり、突起電極77・78の配置方向も図6及び図7に示す配置方向に限定されない。

【0107】

〔実施の形態4〕

本発明の他の実施の形態について図 8 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態 1 ～ 3 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0108】

本実施の形態の半導体チップ 96 には、図 8 に示すように、上記半導体チップ 96 の端辺からの距離を異にして、突起電極が 2 列に形成されている。各列の突起電極のうち、両端に位置する両端領域に配置された突起電極（以下、両端領域の突起電極と記載する）58 は、突起電極の幅が相対的に大きくかつ配列ピッチが相対的に大きくなっている。これに対し、上記両端領域に挟まれる領域（以下、中央領域と記載する）に配置された突起電極（以下、中央領域の突起電極と記載する）88 は、突起電極の幅が相対的に小さくかつ配列ピッチが相対的に小さくなっている。中央領域に位置する外周側突起電極 88a 及び内周側突起電極 88b を、それぞれ中央領域の外周側突起電極 88a、中央領域の内周側突起電極 88b と記載する。

【0109】

なお、以下では、半導体チップ 96 の端辺から各突起電極までの距離が相対的に小さい方から順に、外周側突起電極 58a・88a、内周側突起電極 58b・88b と記載する。また、外周側突起電極 58a・88a、内周側突起電極 58b・88b のいずれか又は両方を指す場合には、突起電極 58・88 と記載する。

【0110】

上記半導体チップ 96 上に設置された外周側突起電極 58a・88a は、それぞれ、フィルム基板 101（図 2（a））に設けられた外周インナーリード 50a・80a によって、電気的に接合されている。また、内周側突起電極 58b・88b は、フィルム基板 101 に設けられた内周インナーリード 58b・88b によって、電気的に接合されている。外周インナーリード 50a・80a 及び内周インナーリード 58b・88b は、前記実施の形態にて説明したように、半導体チップ 96 の端辺から、該端辺に平行である突起電極の対向する 2 辺を通過するように配置される。

【0111】

上記外周側突起電極 58a・88a は、該外周側突起電極 58a・88a 間にて内周インナーリード 58b・88b を互いに接触せず、かつ、この内周インナーリード 58b・88b が外周側突起電極 58a・88a に接触することのないような配列ピッチにて、半導体チップ 96 上に搭載されている。また、上記内周側突起電極 58b・88b は、前記実施の形態 1 にて説明したインナーリード接合装置のボンディング精度を考慮した上で設定される最小の配列ピッチにて、半導体チップ 96 上に搭載されている。

【0112】

具体的には、図 8 に示すように、外周側突起電極 58a・88a 上に配置される外周インナーリード 50a・80a は、半導体チップ 96 の端辺から外周側突起電極 58a・88a 上まで直線状に形成され、また、上記端辺に平行である外周側突起電極 58a・88a の対向する 2 辺を通過するように配置される。そして、外周インナーリード 50a・80a が内周側突起電極 58b・88b に接触しないように、半導体チップ 96 上における外周インナーリード 50a・80a の先端部は、内周側突起電極 58b・88b の形成位置に達する直前に配置される。

【0113】

また、両端領域の外周側突起電極 58a 間には、3 本の内周インナーリード 50b が配置されている。一方、中央領域の外周側突起電極 88a 間には、4 本の内周インナーリード 80b が配置されている。これらの内周インナーリード 50b・80b は、半導体チップ 96 の端辺から外周側突起電極 58a・88a 間を通過するまで、直線状に配置されている。そして、これらの内周インナーリード 50b・80b は、前記実施の形態にて説明したように、外周側突起電極 58a・88a の形成位置と内周側突起電極 58b・88b との形成位置との間で屈曲している。これにより、上記端辺に平行である内周側突起電極 58b・88b の対向する 2 辺を直線的に通過するように、内周側突起電極 58b・88b 上に内周インナーリード 50b・80b を配置して両者を接合することができる。

【0114】

このように、中央領域の突起電極 88 の幅を小さくし、さらに、両端領域の突起電極 58 に比較して中央領域の突起電極 88 のファインピッチ化を図ることによっても、半導体チップ 96 上の突起電極 58・88 のファインピッチ化を図ることができる。

【0115】

特に、前記実施の形態 1 にて説明したように、突起電極とインナーリードとを加熱圧着する場合には、上記のように、中央領域と両端領域とで、突起電極の配列ピッチを異ならせることが好ましい。

【0116】

すなわち、インナーリード接合装置によって、突起電極とインナーリードとを加熱圧着する際には、通常、フィルム基板 101（図 2（a））に 400℃以上の熱が加えられる。この加熱によって、フィルム基板 101 が熱膨張して、10 μ m～20 μ m 程度の伸びが生じる。このフィルム基板 101 の伸びによって、フィルム基板 101 上に形成されたインナーリード 50・80 の位置にばらつきが生じる。このばらつきは、突起電極 58・88 とインナーフィルム 50・80 との接合における位置ずれを引き起こす原因となる。このような位置ずれは、中央領域の突起電極と 88 インナーフィルム 80 との間よりもむしろ両端領域の突起電極 58 とインナーフィルム 50 との間で生じやすい。

【0117】

そこで、比較的位置ずれが生じ難い中央領域の突起電極 88 を、位置ずれが生じやすい両端領域の突起電極 58 よりも、ファインピッチ化している。このように、位置ずれの生じやすさに応じて、突起電極の幅や配列ピッチを制御することにより、インナーリードのショートやリーク不良を低減して、さらなるファインピッチ化を図ることが可能になる。

【0118】

以上のように、突起電極とインナーリードとを接合するために、インナーリードを屈曲させているので、突起電極間に配置されるインナーリードの電極間ピッチをファインピッチ化することができ、また、各突起電極の配列ピッチも小さくすることが可能になる。また、インナーリードと突起電極とのボンディング精度

に応じて、両端領域及び中央領域における突起電極の幅や配列ピッチを変化させているので、インナーリードと突起電極との接続の信頼性を向上させることができる。なお、両端領域における突起電極の幅は、中央領域における突起電極の幅よりも $5\text{ }\mu\text{m}$ 以上大きくすることが好ましい。

【0119】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0120】

【実施例】

〔実施例1〕

図1(a)に示すCOFを形成するために、図1(b)に示すように、半導体チップ96上に、幅 w_1 が $25\text{ }\mu\text{m}$ の外周側突起電極98a及び内周側突起電極98bを形成した。また、外周側突起電極98a間に、幅が $15\text{ }\mu\text{m}$ の2本の内周インナーリード100bを $30\text{ }\mu\text{m}$ の電極間ピッチ $p(e)_1$ にて配置し、内周インナーリード100bと外周側突起電極98aとの間の距離 f_1 を $15\text{ }\mu\text{m}$ とするために、半導体チップ96上に外周側突起電極98aの配列ピッチを $100\text{ }\mu\text{m}$ にて形成した。また、内周側突起電極98b間の距離が少なくとも $15\text{ }\mu\text{m}$ 確保されるように、内周側突起電極98bを $50\text{ }\mu\text{m}$ の配列ピッチにて形成した。

【0121】

$40\text{ }\mu\text{m}$ 、 $38\text{ }\mu\text{m}$ 、 $25\text{ }\mu\text{m}$ のそれぞれの厚さを有するフィルム基板101(図2(a))上に形成された $5\text{ }\mu\text{m}$ の銅箔をエッチングし、上記半導体チップ96上に形成された突起電極98の配置に応じた配線パターンのインナーリード100を、幅 v_1 を $15\text{ }\mu\text{m}$ として形成した。

【0122】

上記突起電極98とインナーリード100とをインナーリード接合装置(図3)を用いて接合し、図1に示すCOFを得た。得られたCOFは、外周インナーリード100aのピッチ $p(o)_1$ が $100\text{ }\mu\text{m}$ のピッチにて形成された。また、内周インナーリード100bの接合ピッチ $p(i)_1$ は、 $50\text{ }\mu\text{m}$ にて形成された。

【0123】

従って、実質的なインナーリードのピッチ（後述）は、 $100\mu\text{m}/3=33.3\mu\text{m}$ となり、ファインピッチ化を実現することができた。また、従来公知のインナーリード接合装置のボンディング精度にて、上記突起電極98とインナーリード100との接合することができた。なお、接合に際して、電極間ピッチ $p(e)_1$ が $30\mu\text{m}$ にて形成された2本の内周インナーリードが剥れて、あるいは変形して、相互に接触することはなかった。

【0124】

なお、実質的なインナーリードのピッチとは、外周インナーリード及び内周インナーリード100が一定のピッチにて形成されていると仮定した場合の、半導体チップ96のエッジ部分におけるインナーリードのピッチである。本実施例では、外周側突起電極間に配置される2本の内周インナーリードの電極間ピッチ $p(e)_1$ は $30\mu\text{m}$ であるので、上記実質的なインナーリードのピッチは実際のインナーリードのピッチとは一致しない。つまり、本実施例では、外周突起電極間に、外周インナーリードと2本の内周インナーリードとが等間隔にて配置されていないので、外周インナーリードー内周インナーリード間の距離と、内周インナーリード間の距離とが、異なっている。しかしながら、COFにおけるファインピッチ化を評価するために、上記実質的なインナーリードのピッチは、ファインピッチ化の目安となるので、本実施例及び以下の各実施例では、実質的なインナーリードのピッチを評価値として用いている。

【0125】

〔実施例2〕

図4（a）に示すCOFを形成するために、図4（b）に示すように、半導体チップ96上に、幅 w_2 が $25\mu\text{m}$ の外周側突起電極58a及び内周側突起電極58bを形成した。また、外周側突起電極58a間に、幅 $15\mu\text{m}$ の3本の内周インナーリード50bを $30\mu\text{m}$ の電極間ピッチ $p(e)_2$ にて配置し、内周インナーリード50bと外周側突起電極58aとの間の距離 f_2 を $15\mu\text{m}$ とするために、半導体チップ96上に外周側突起電極58aを $130\mu\text{m}$ の配列ピッチにて形成した。また、内周側突起電極58b間の距離が少なくとも $15\mu\text{m}$ は確保さ

れるように、内周側突起電極 58b を $43.3\mu\text{m}$ の配列ピッチにて形成した。

【0126】

また、上記実施例 1 と同様にして、フィルム基板 101 (図 2 (a)) 上に形成された $5\mu\text{m}$ の銅箔をエッチングし、上記半導体チップ 96 上に形成された突起電極 58 の配置に応じた配線パターンのインナーリード 50 を、幅 v_2 を $15\mu\text{m}$ として形成し、インナーリード 50b を、 $20\mu\text{m}$ のピッチにて配置した。

【0127】

上記突起電極 58 とインナーリード 50 とをインナーリード接合装置 (図 3) を用いて接合し、図 4 (a) に示す COF を得た。得られた COF は、外周インナーリード 50a のピッチ $p(o)_2$ が $130\mu\text{m}$ にて形成された。また、内周インナーリード 50b の接合ピッチ $p(i)_2$ は、内周側突起電極 58b の配列ピッチと同様の $35\mu\text{m}$ にて形成された。

【0128】

従って、実質的なインナーリードのピッチは、 $130\mu\text{m}/4 = 32.5\mu\text{m}$ となり、ファインピッチ化を実現することができた。また、従来公知のインナーリード接合装置のボンディング精度にて、上記突起電極とインナーリードとの接合することができた。なお、接合に際して、電極間ピッチ $p(e)_2$ が $20\mu\text{m}$ にて形成された 3 本の内周インナーリード 50b が剥れて、あるいは変形して、相互に接触することはなかった。

【0129】

〔実施例 3〕

図 5 (a) に示す COF を形成するために、図 5 (a) に示すように、半導体チップ 96 上に、幅が $25\mu\text{m}$ の第 1 突起電極 68a、第 2 突起電極 68b、第 3 突起電極 68c を形成した。また、第 1 突起電極 68a 間に、幅 $15\mu\text{m}$ の 6 本の第 2 インナーリード 60b 及び第 3 インナーリード 60c を $30\mu\text{m}$ の電極間ピッチ $p(e)_3$ にて配置し、上記第 2 インナーリード 60b と第 1 突起電極 68a との間の距離 f_3 を $15\mu\text{m}$ とするために、半導体チップ 96 上に第 1 突起電極 68a を $220\mu\text{m}$ の配列ピッチにて形成した。

【0130】

また、第2突起電極68b間に、幅 $15\mu\text{m}$ の4本の第3インナーリード60cを、上記と同様に、 $30\mu\text{m}$ の電極間ピッチ $p(e)_3$ にて配置し、上記第3インナーリード60cと第2突起電極68bとの間の距離 f_3 を $15\mu\text{m}$ とした。また、第3インナーリード60cが配置されていない第2突起電極68b間の距離は、少なくとも $15\mu\text{m}$ 以上を確保した。

【0131】

さらに、第3突起電極68c間の距離が少なくとも $15\mu\text{m}$ 確保されるように、第3突起電極68cを $55\mu\text{m}$ の配列ピッチにて形成した。

【0132】

また、上記実施例1と同様にして、フィルム基板101（図2（a））上に形成された $5\mu\text{m}$ の銅箔をエッチングし、上記半導体チップ96上に形成された突起電極68の配置に応じた配線パターンのインナーリード60を、幅 v_3 を $15\mu\text{m}$ として形成し、第2インナーリード60b及び第3インナーリード60cを $30\mu\text{m}$ の電極間ピッチ $p(e)_3$ にて形成した。

【0133】

上記突起電極68とインナーリード60とをインナーリード接合装置（図3）を用いて接合し、図5（a）に示すCOFを得た。得られたCOFは、第3インナーリード60aのピッチ $p(o)_3$ が $220\mu\text{m}$ にて形成された。従って、実質的なインナーリードのピッチは、 $220\mu\text{m}/7=31.4\mu\text{m}$ となり、ファインピッチ化を実現することができた。また、従来公知のインナーリード接合装置のボンディング精度にて、上記突起電極とインナーリードとの接合することができた。なお、接合に際して、電極間ピッチ $p(e)_3$ が $30\mu\text{m}$ にて形成された第2・第3インナーリード60b・60cが剥れて、あるいは変形して、相互に接触することはなかった。

【0134】

〔実施例4〕

図8に示すCOFを形成するために、半導体チップ96上に、外周側突起電極58a・88a及び内周側突起電極58b・88bを形成した。両端領域の外周側突起電極58a及び内周側突起電極58bには、幅 w_2 が $25\mu\text{m}$ の突起電極

を用い、中央領域の外周側突起電極 88a 及び内周側突起電極 88b には、幅 w_4 が $20\mu\text{m}$ の突起電極を用いた。

【0135】

両端領域の外周側突起電極 58a 及び内周側突起電極 58b は、実施例 2 と同様の配列ピッチ及びインナーリードのピッチにて形成した。

また、中央領域の外周側突起電極 88a は、該外周側突起電極 88a 間に、幅 $15\mu\text{m}$ の 4 本の内周インナーリード 88b を $30\mu\text{m}$ の電極間ピッチにて配置した。また、内周インナーリード 88b と中央領域の外周側突起電極 88a との間の距離を $15\mu\text{m}$ とするために、半導体チップ 96 上に外周側突起電極 88a 間の距離を $135\mu\text{m}$ にて形成した。また、内周側突起電極 88b 間の距離が $15\mu\text{m}$ となるように、内周側突起電極 88b を $30\mu\text{m}$ の配列ピッチにて形成した。

【0136】

また、上記半導体チップ 96 上に形成された突起電極 58・88 の配置に応じた配線パターンのインナーリード 50・80 を、幅 $15\mu\text{m}$ にて形成した。

【0137】

上記突起電極 58・88 とインナーリード 50・80 とをインナーリード接合装置 (図 3) を用いて接合し、図 8 に示す COF を得た。得られた COF は、実施例 2 にて説明したように、両端領域の外周インナーリード 50a のピッチ $p(o)_2$ が $130\mu\text{m}$ にて形成された。従って、両端領域での実質的なインナーリードのピッチは、 $130\mu\text{m}/4 = 32.5\mu\text{m}$ となった。

【0138】

さらに、中央領域の外周インナーリード 80a のピッチ $p(o)_4$ が $155\mu\text{m}$ のピッチにて形成され、中央領域での実質的なインナーリードのピッチは、 $155\mu\text{m}/5 = 31\mu\text{m}$ となった。また、内周インナーリード 50b の接合ピッチ $p(i)_4$ は、 $30\mu\text{m}$ にて形成された。

【0139】

その結果、両端領域及び中央領域の全領域における、実質的なインナーリードのピッチは、 $31.8\mu\text{m}$ となり、ファインピッチ化を実現することができた。

また、従来公知のインナーリード接合装置のボンディング精度にて、上記突起電極とインナーリードとの接合することができた。なお、接合に際して、各電極間ピッチが $30\ \mu\text{m}$ にて形成された内周インナーリード $50\text{b} \cdot 80\text{b}$ が剥れて、あるいは変形して、相互に接触することはなかった。

【0140】

なお、厚さが $5\ \mu\text{m}$ の銅箔を使用すると、インナーリードのピッチを $20\ \mu\text{m}$ にて形成することができるため、両端領域での実質的なインナーリードのピッチは、 $105\ \mu\text{m} / 4 = 26.25\ \mu\text{m}$ にて形成することができる。また、中央領域での実質的なインナーリードのピッチは、 $115\ \mu\text{m} / 5 = 23\ \mu\text{m}$ にて形成することができる。その結果、両端領域及び中央領域の全領域における、実質的なインナーリードのピッチは、 $24.3\ \mu\text{m}$ となり、さらなるファインピッチ化を実現することが可能になった。

【0141】

【発明の効果】

本発明の半導体装置は、以上のように、互いに隣り合うエッジ側突起電極間には、内部側突起電極に接合される少なくとも2本の内部側突起電極用リード配線が設けられ、内部側突起電極用リード配線のうちの少なくとも1本は、上記内部側突起電極との接合位置に応じて屈曲しているものである。

【0142】

それゆえ、エッジ側突起電極間にて、内部側突起電極用リード配線をファインピッチ化して形成しても、該内部側突起電極用リード配線と内部側突起電極とを好適に接合することができるという効果を奏する。また、エッジ側突起電極間での内部側突起電極用リード配線をファインピッチ化することにより、内周側突起電極に接合される内部側突起電極用リード配線の数を増加させることができる。その結果、リード配線のファインピッチ化を図ることができるという効果を奏する。

【0143】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極用リード配線は、上記内部側突起電極との接合位置よりも上記エッジ側突起電

極間にて、ピッチが小さくなるように設けられているものである。

【0144】

それゆえ、エッジ側突起電極間により多くの内部側突起電極用リード配線を配置することができるので、高密度に配設された内部側突起電極と内部側突起電極用リード配線とを接合することができる。これにより、内部側突起電極の高密度化、及びリード配線のファインピッチ化を図ることができるという効果を奏する。

【0145】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極間における上記内部側突起電極用リード配線は、 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下の幅を有することが好ましい。

【0146】

さらに、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極間の距離は、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることが好ましい。

【0147】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極用リード配線は、上記内部側突起電極に接合した場合に、上記エッジから、上記内部側突起電極の上記半導体チップの内部側の端部までの長さが $100\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であることが好ましい。

【0148】

それゆえ、半導体チップ上のエッジにおける上記配線リードのピッチを、実質的に $35\mu\text{m}$ 以下にすることが可能になるという効果を奏する。

【0149】

また、本発明の半導体装置は、上記の半導体装置において、上記半導体チップは4つのエッジを有し、該エッジのうちの少なくとも1つのエッジの周縁部に、上記エッジ側突起電極及び上記内部側突起電極が設けられ、該内部側突起電極の数は、エッジ側突起電極の数よりも多いものである。

【0150】

それゆえ、エッジ側突起電極間に、内部側突起電極用リード配線を配置するた

めの領域を確保することが可能になる。これにより、内部側突起電極と内部側突起電極用リード配線との接合を容易にすることができる。従って、内部側突起電極用リード配線とエッジ側突起電極との接触を防止し、リード配線のショートやリーク不良を低減することができるという効果を奏する。

【0151】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極の少なくとも一部は、上記エッジ側突起電極の配設方向とは異なる配設方向となるように配設されているものである。

【0152】

それゆえ、種々の配設方向に配設された内部側突起電極を有する半導体チップに接続されるリード配線をファインピッチ化することができるという効果を奏する。

【0153】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極のうち、少なくとも両端とそれに隣接する位置とに配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数は、上記両端以外の位置に配設されるエッジ側突起電極間に設けられる上記内周側突起電極用リード配線数よりも少ないものである。

【0154】

それゆえ、接合位置にずれが生じやすい両端では、内周側突起電極用リード配線数をより少なくすることによって、リード配線のショートやリーク不良を防止することができる。また、接合位置にずれが生じ難い上記両端以外の位置では、内周側突起電極用リード配線数をより多くすることによって、リード配線のファインピッチ化を図ることができる。これにより、リード配線のショートやリーク不良を防止するとともに、リード配線のファインピッチ化を図ることが可能になるという効果を奏する。

【0155】

また、本発明の半導体装置は、上記の半導体装置において、上記エッジ側突起電極及び上記内部側突起電極のうち、少なくとも両端に配設されるエッジ側突起

電極及び内部側突起電極のそれぞれが有する幅は、上記両端以外の位置に配設されるエッジ側突起電極及び内部側突起電極のそれぞれが有する幅よりも大きいものである。

【0156】

それゆえ、接合位置のずれが生じやすい両端に配設される突起電極によって、リード配線のショートやリーク不良を防止することができる。また、接合位置のずれが生じ難い上記両端以外の位置に配設される突起電極によって、ファインピッチ化を図ることが可能になる。

【0157】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極は、さらに、半導体チップのエッジからの距離が相対的に小さい位置に配設された第1の内部側突起電極と、上記エッジからの距離が相対的に大きい位置に配設された第2の内部側突起電極とを備え、上記第2の内部側突起電極に接合される内部側突起電極用リード配線は、上記第1の内部側突起電極間に設けられているものである。

【0158】

それゆえ、内部側突起電極として、第1の内部側突起電極と第2の内部側突起電極とが備えられている場合にも、第1の内部側突起電極間に、少なくとも1本の内部側突起電極用リード配線を設けることによって、リード配線のファインピッチ化を図ることができる。

【0159】

また、本発明の半導体装置は、上記の半導体装置において、上記内部側突起電極のうちの少なくとも一部は、上記半導体チップ上の半導体素子及びチップ配線の少なくとも一方に接続されていることを特徴としている。

【0160】

それゆえ、半導体素子の配置位置に合わせて内部側突起電極が配設されている場合にも、内部側突起電極の配設位置に合わせて内部側突起電極用リード配線を接合することができる。

【図面の簡単な説明】

【図 1】

(a) は、本発明における COF の半導体チップの実施の一形態を示す平面図であり、(b) は、(a) における A 部分を示す要部の平面図である。

【図 2】

(a) は、上記 COF の上面図であり、(b) は、(a) Q-Q' 線矢視断面図である。

【図 3】

本発明における COF のインナーリードと突起電極とを接合する際に用いられるインナーリード接合装置を示す断面図である。

【図 4】

(a) は、本発明における COF の他の実施の形態を示す平面図であり、(b) は、(a) における B 部分を示す要部の平面図である。

【図 5】

(a) は、本発明における COF のさらに他の実施の形態を示す平面図であり、(b) は、(a) における C 部分を示す要部の平面図である。

【図 6】

本発明における COF のさらに他の実施の形態を示す平面図である。

【図 7】

本発明における COF のさらに他の実施の形態を示す平面図である。

【図 8】

本発明における COF のさらに他の実施の形態を示す平面図である。

【図 9】

(a) は、従来の COF を示す平面図であり、(b) は、(a) における X 部分を示す要部の平面図である。

【図 10】

(a) は、従来の他の COF を示す平面図であり、(b) は、(a) における Y 部分を示す要部の平面図である。

【図 11】

(a) は、従来のさらに他の COF を示す平面図であり、(b) は、(a) に

おける Z 部分を示す要部の平面図である。

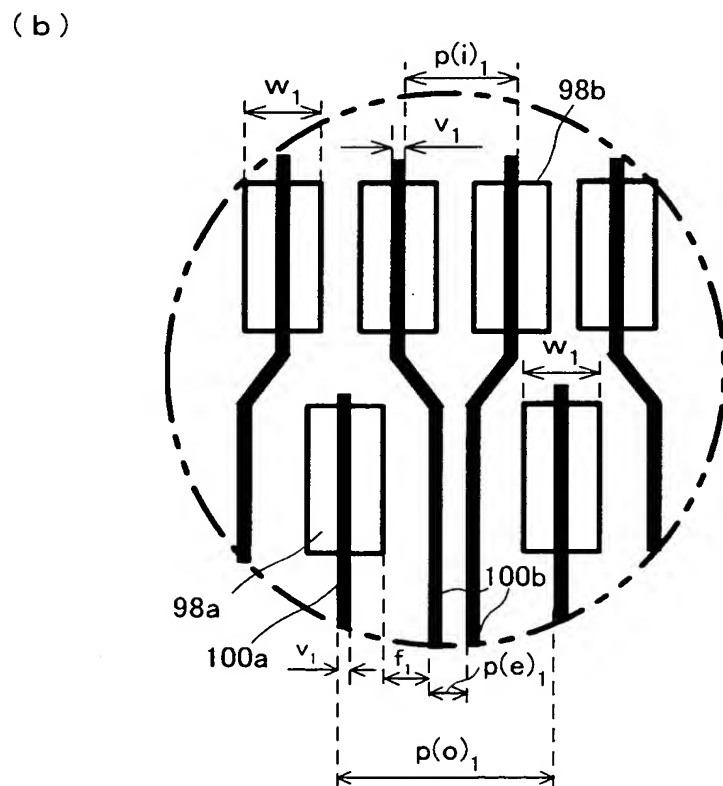
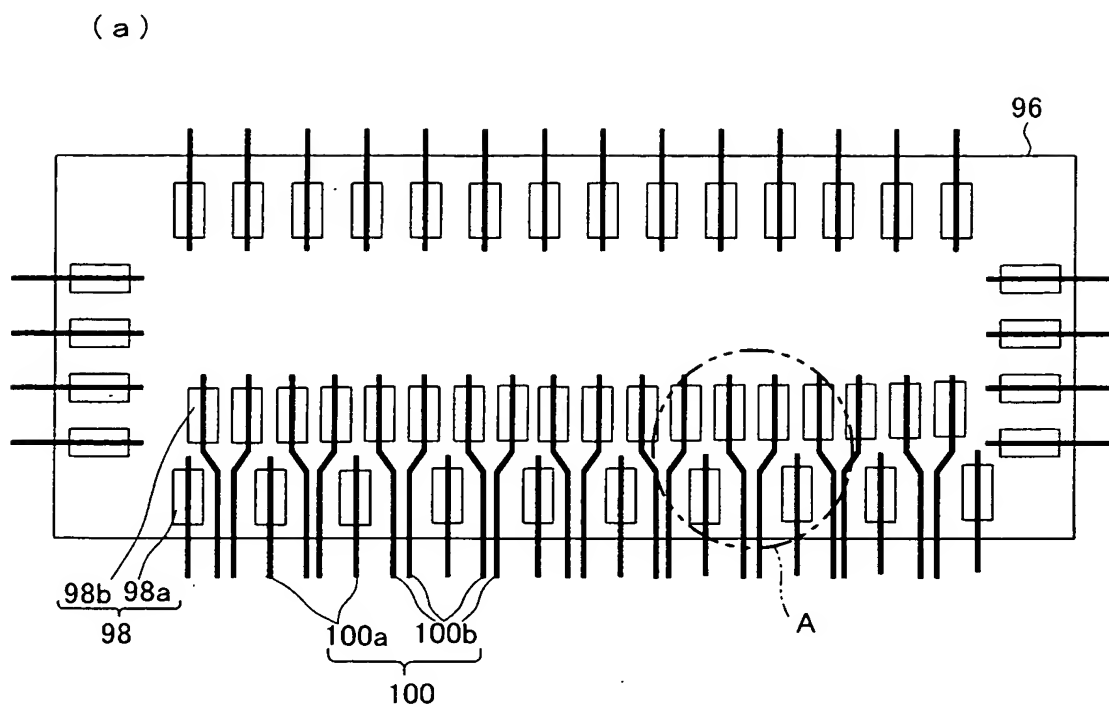
【符号の説明】

- 50 インナーリード (リード配線)
- 50a 外周側インナーリード (リード配線)
- 50b 内周側インナーリード (リード配線・内部側突起電極用リード配線)
- 58 突起電極
- 58a 外周側突起電極 (エッジ側突起電極)
- 58b 内周側突起電極 (内部側突起電極)
- 60 インナーリード (リード配線)
- 60a 第1インナーリード (リード配線)
- 60b 第2インナーリード (リード配線・内部側突起電極用リード配線)
- 60c 第3インナーリード (リード配線・内部側突起電極用リード配線)
- 68 突起電極
- 68a 第1突起電極 (エッジ側突起電極)
- 68b 第2突起電極 (内部側突起電極・第1の内部側突起電極)
- 68c 第3突起電極 (内部側突起電極・第2の内部側突起電極)
- 70 インナーリード (リード配線)
- 77 突起電極
- 72 インナーリード (リード配線)
- 78 突起電極
- 80 中央領域のインナーリード (リード配線)
- 80a 中央領域の外周側インナーリード (リード配線)
- 80b 中央領域の内周側インナーリード (リード配線・内部側突起電極用リード配線)
- 88 中央領域の突起電極
- 88a 中央領域の外周側突起電極 (エッジ側突起電極)
- 88b 中央領域の内周側突起電極 (内部側突起電極)
- 98 突起電極
- 98a 外周側突起電極 (エッジ側突起電極)

- 9 8 b 内周側突起電極（内部側突起電極）
- 1 0 0 インナーリード（リード配線）
- 1 0 0 a 外周側インナーリード（リード配線）
- 1 0 0 b 内周側インナーリード（リード配線・内部側突起電極用リード配線）
- 1 0 1 フィルム基板

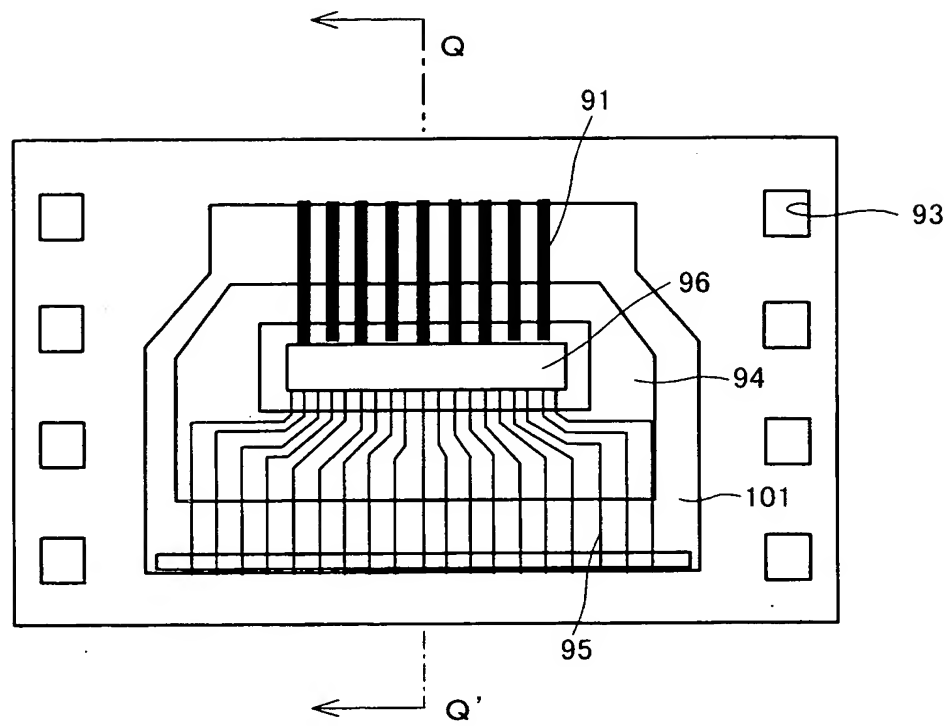
【書類名】 図面

【図 1】

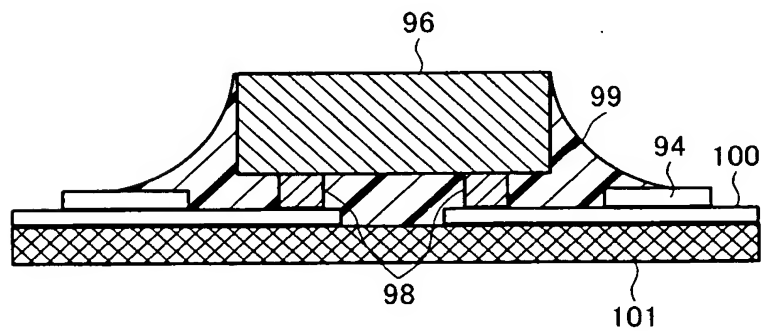


【図 2】

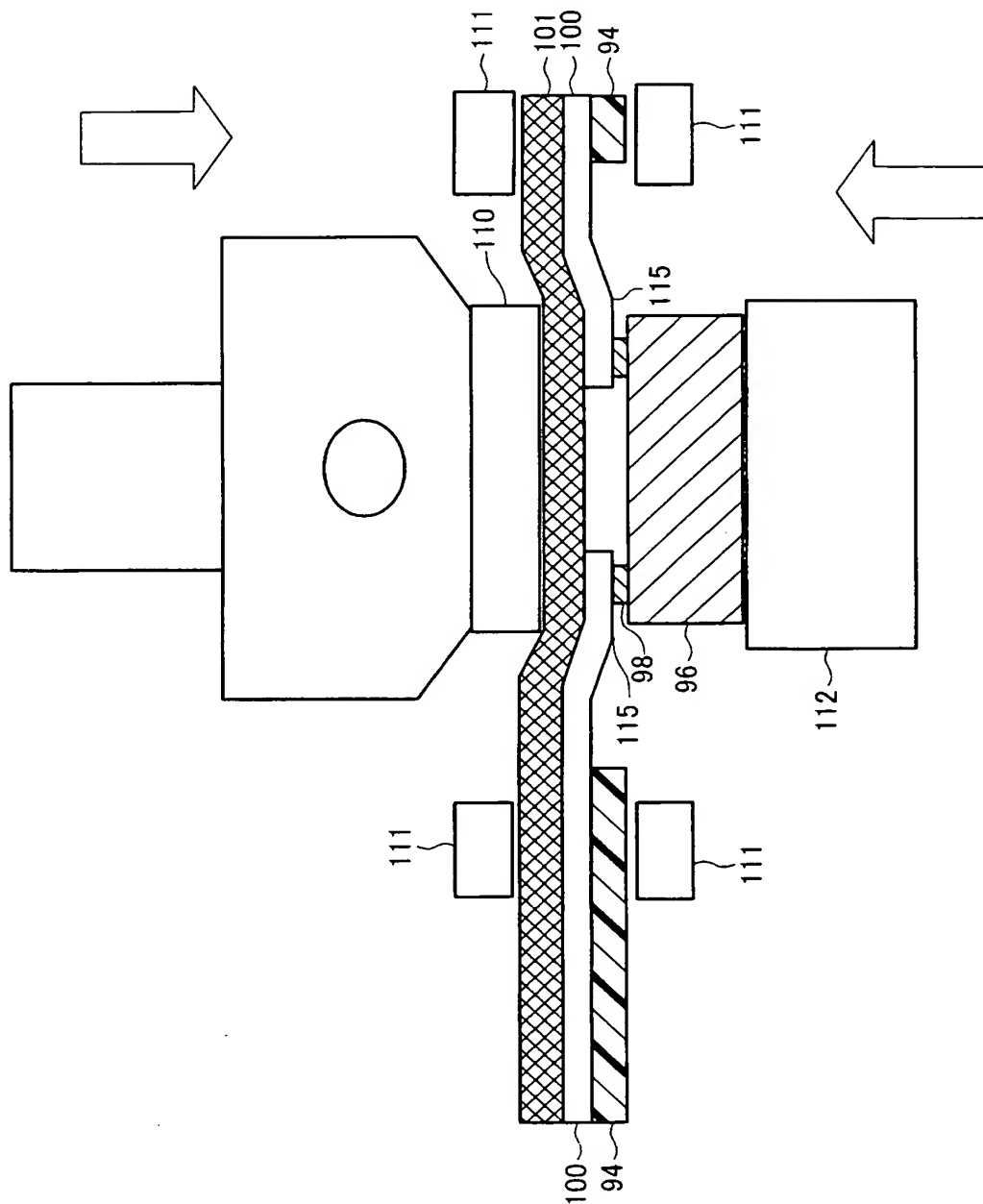
(a)



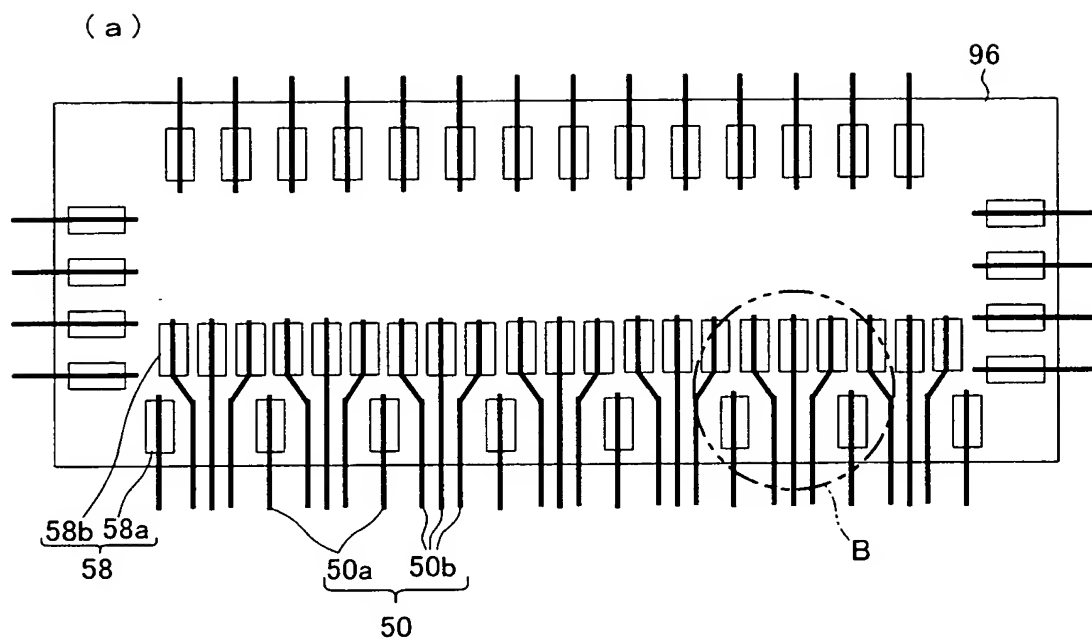
(b)



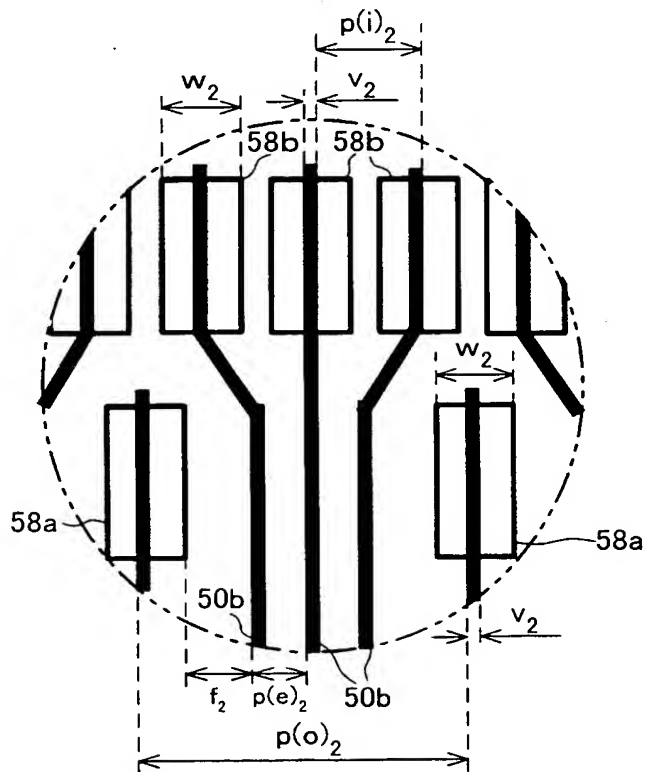
【図 3】



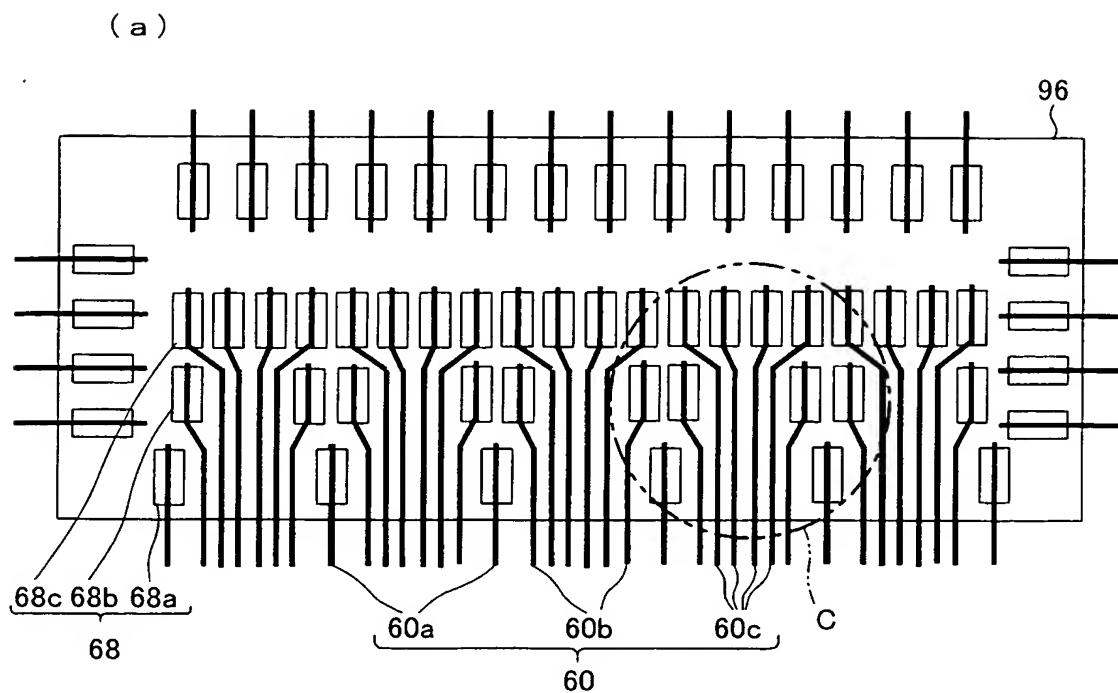
【図 4】



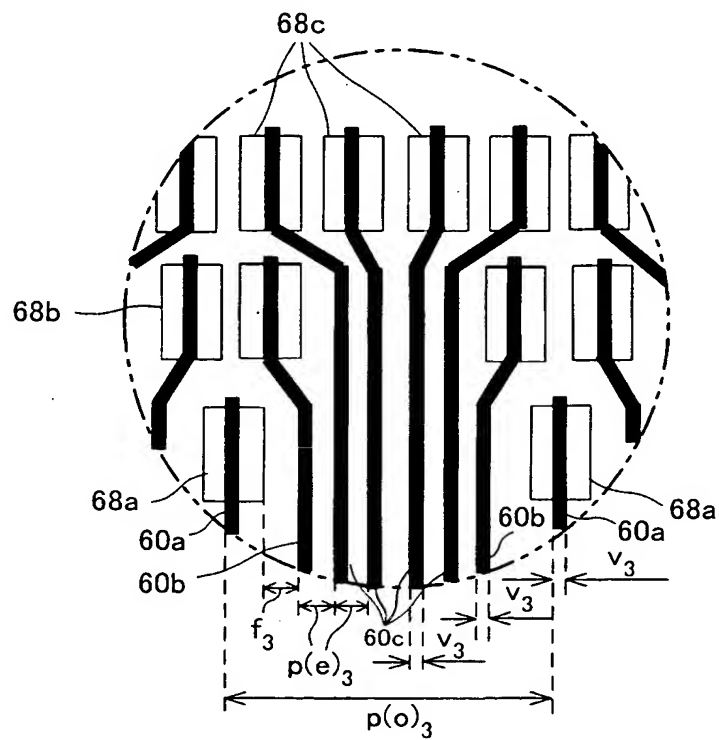
(b)



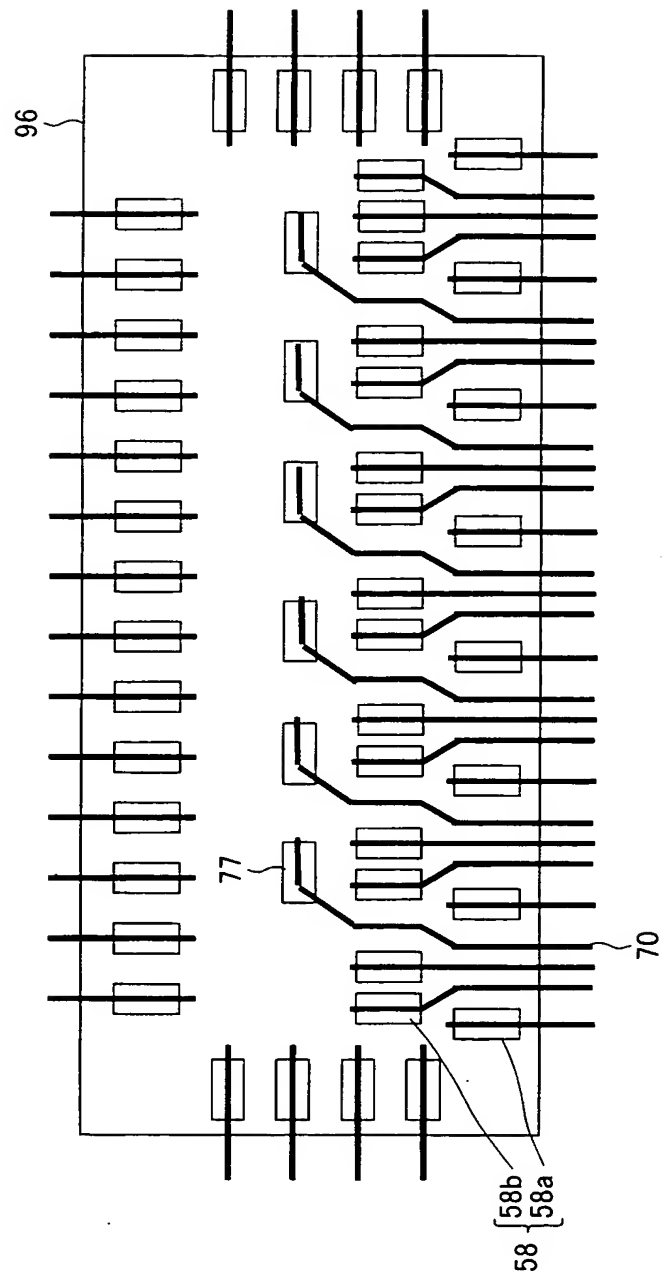
【図 5】



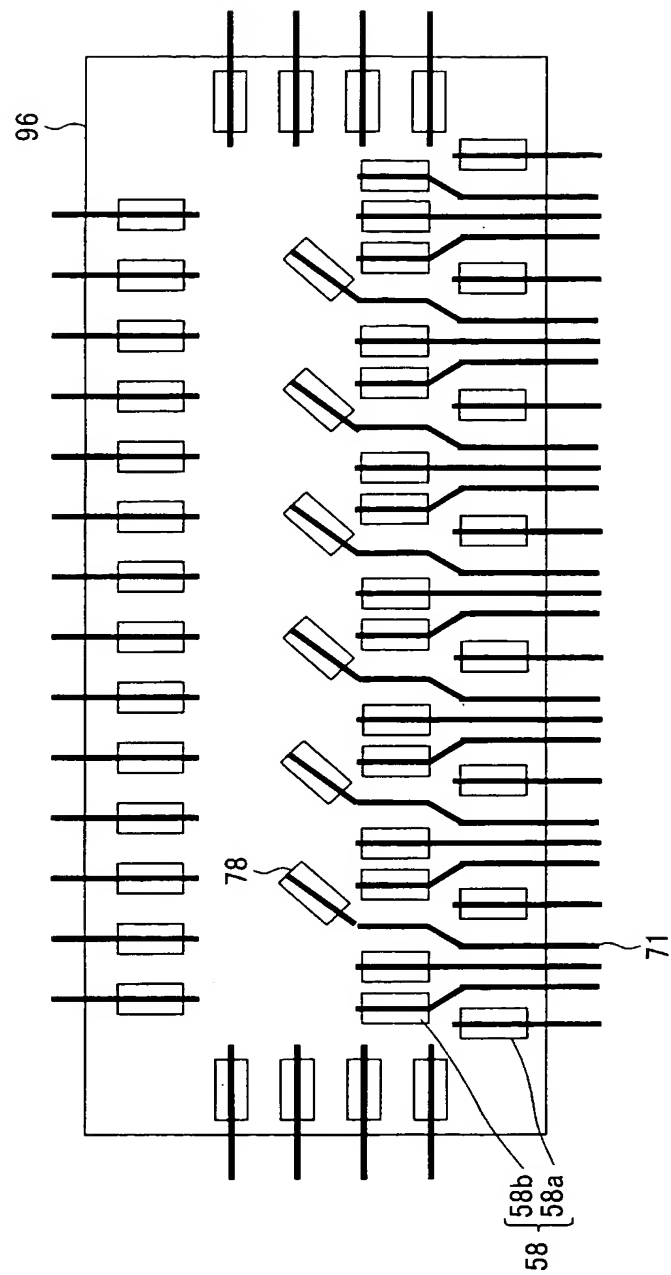
(b)



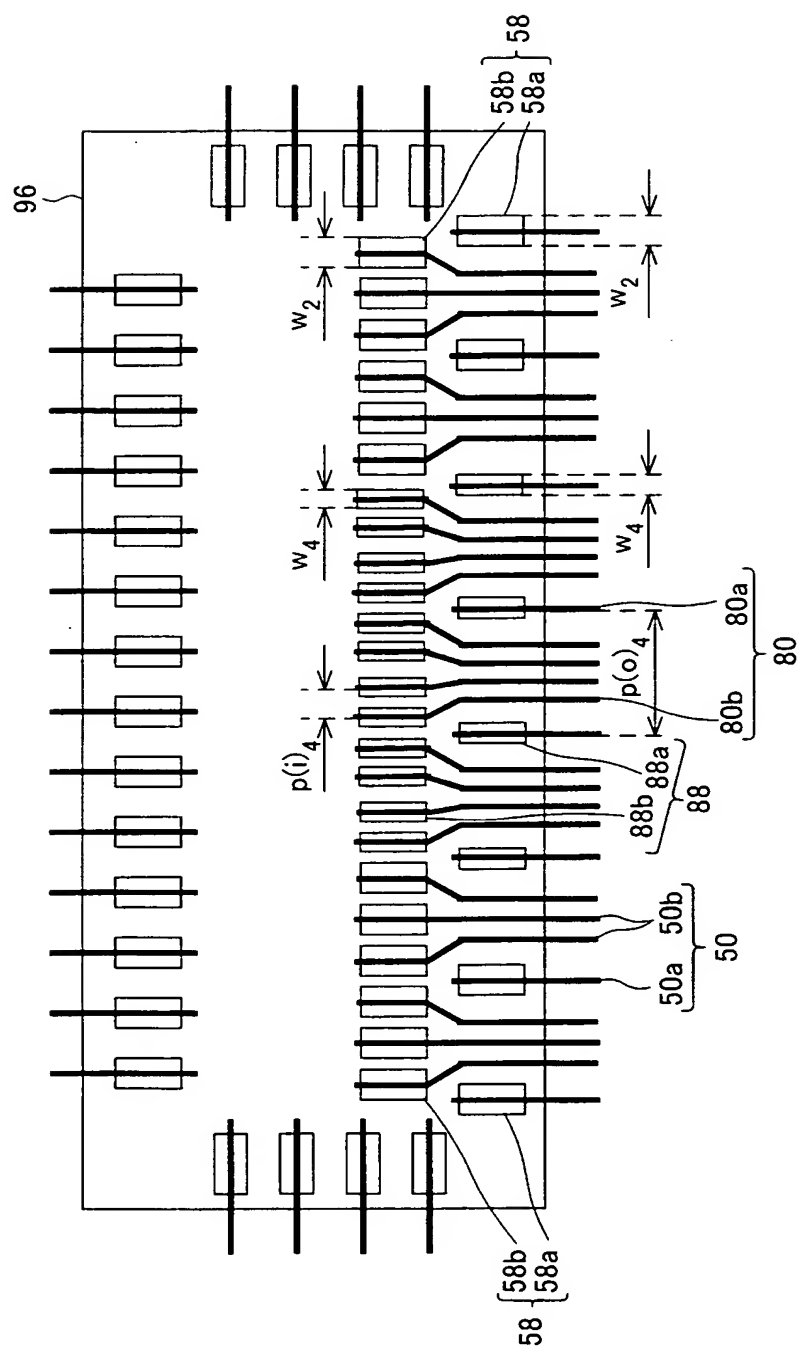
【図 6】



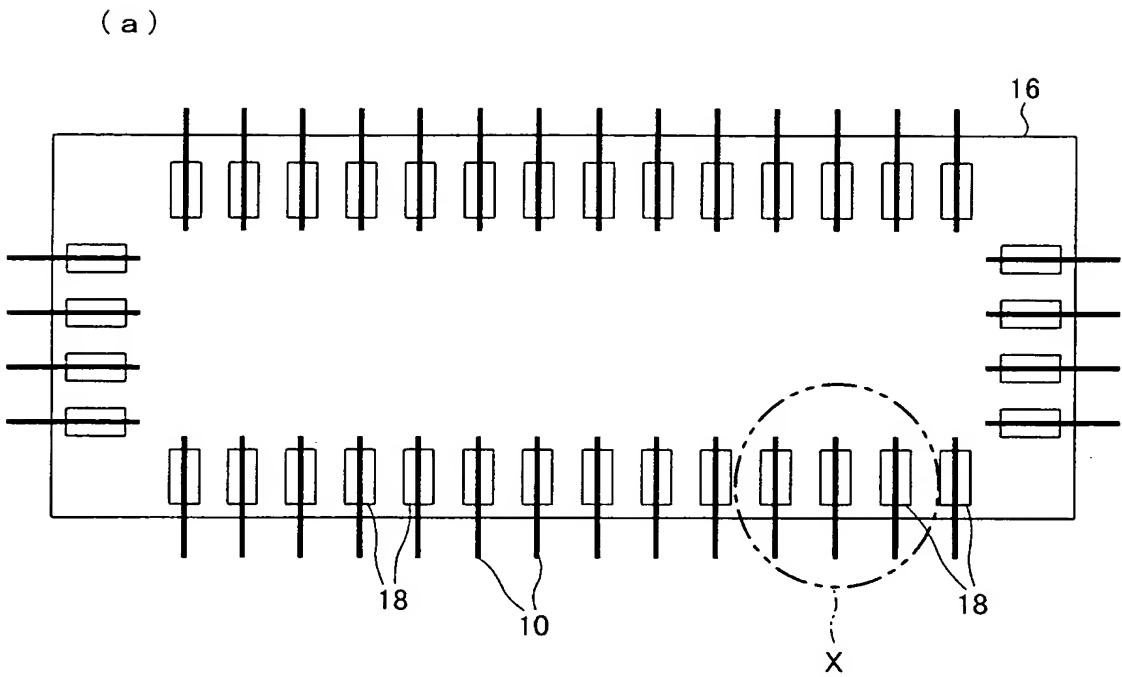
【図 7】



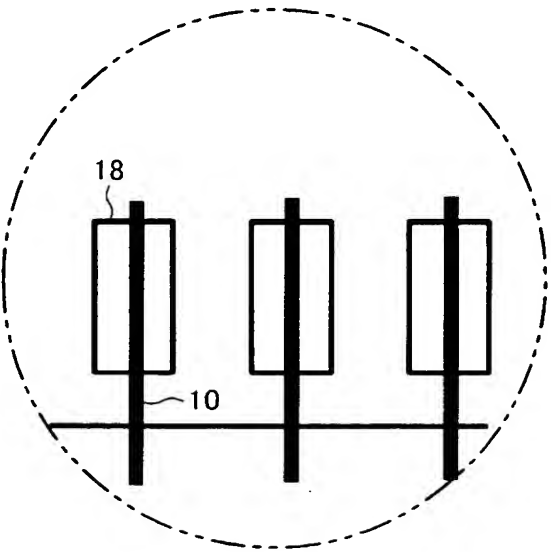
【図 8】



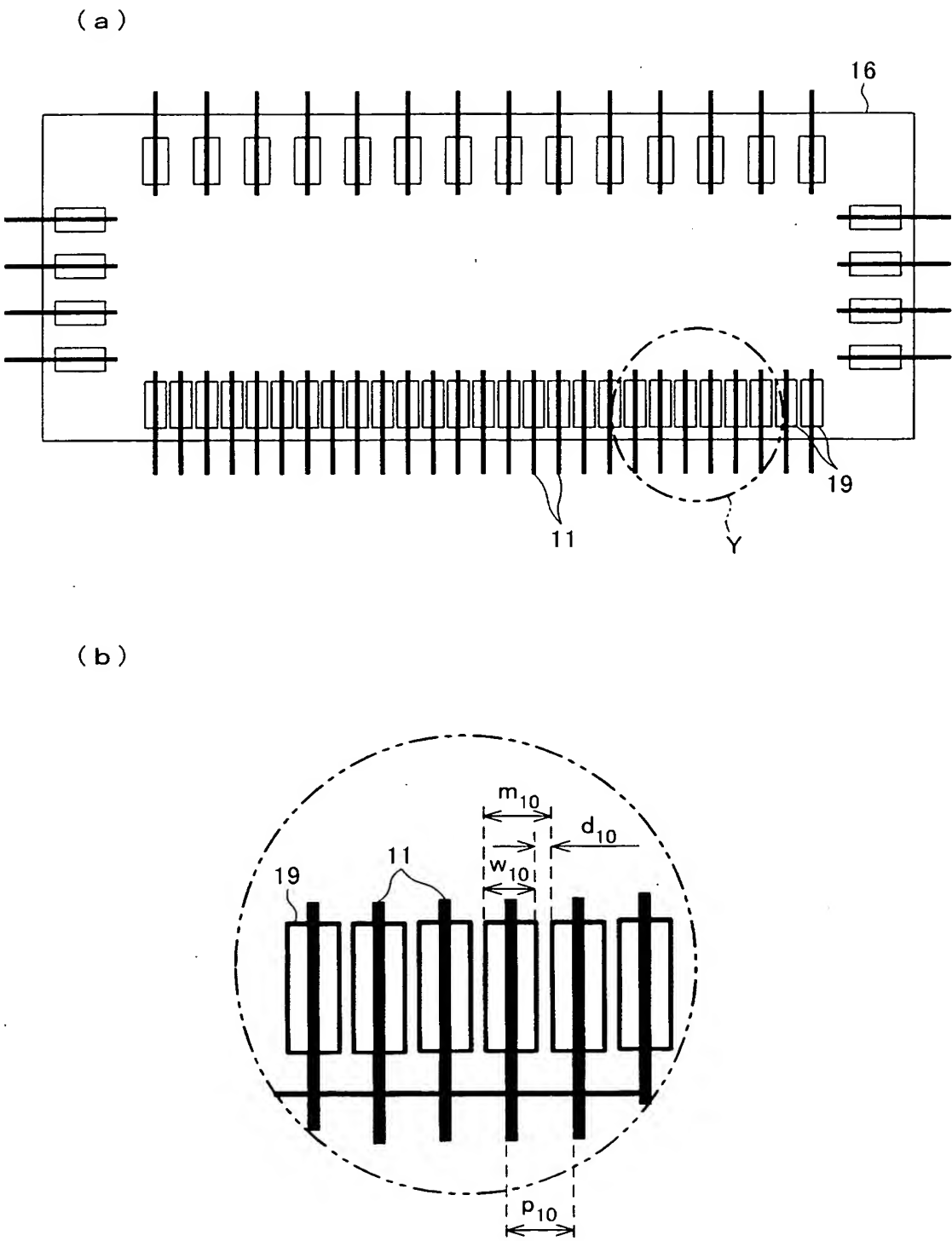
【図 9】



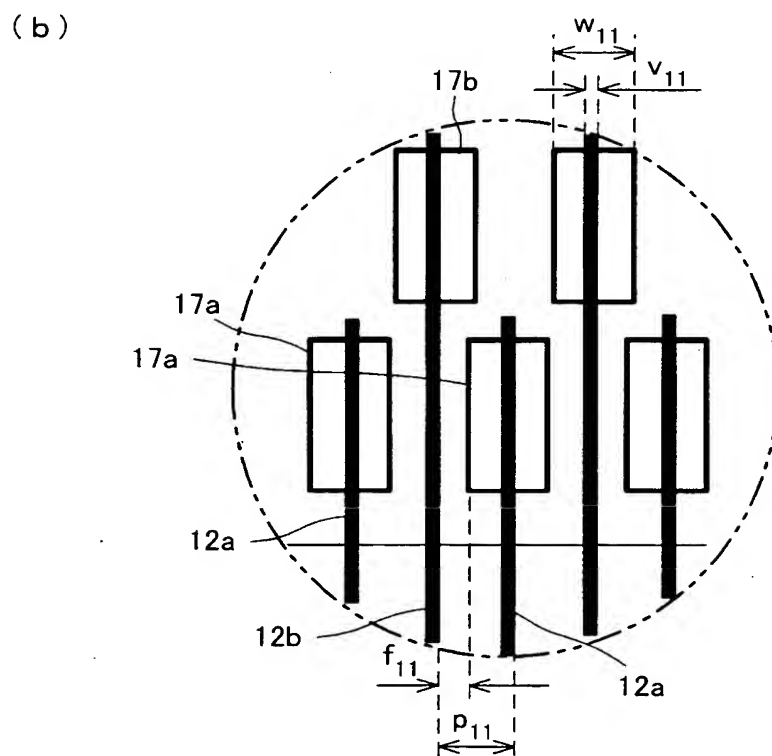
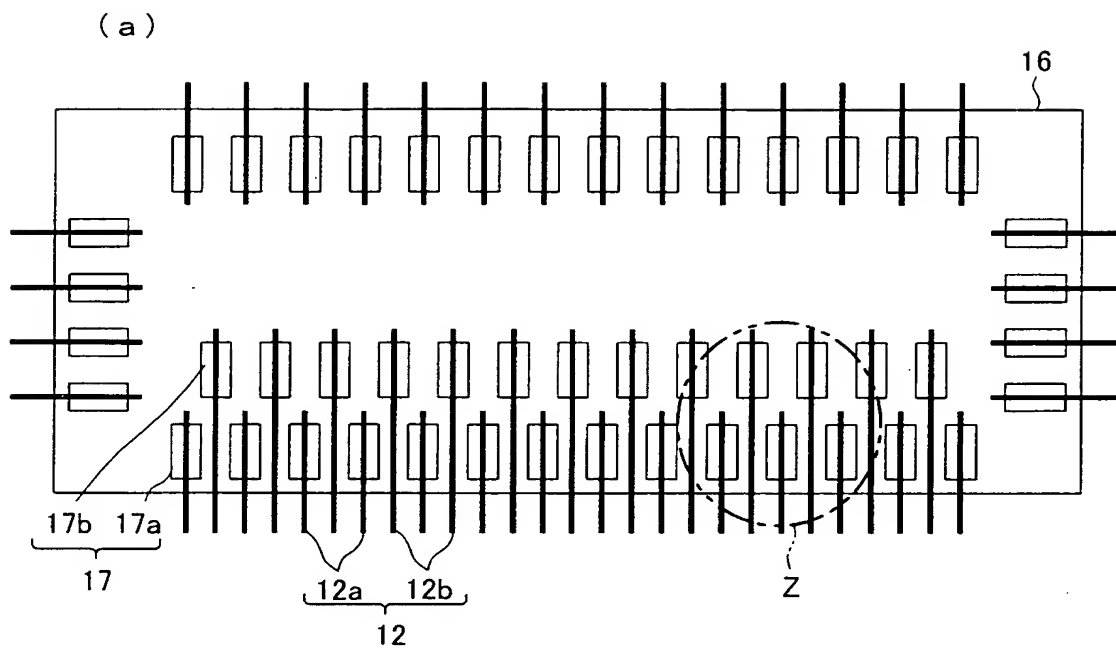
(b)



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 インナーリードのファインピッチ化を実現し得る半導体装置を提供する。

【解決手段】 半導体チップ 96 のエッジからの距離が相対的に小さい位置に配設された外周側突起電極 98a 間には、上記エッジからの距離が相対的に大きい位置に配設された内周側突起電極 98b に接合される 2 本の内周インナーリードが設けられている。この内周インナーリードのうちの少なくとも 1 本は、内周側突起電極との接合位置に応じて屈曲している。

【選択図】 図 1

特願 2 0 0 2 - 3 5 7 0 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社